

CITATION 1.

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2004-533176

(P2004-533176A)

(43) 公表日 平成16年10月28日(2004.10.28)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
H 0 4 B 1/707	H 0 4 J 13/00	5 K O 2 2
H 0 4 B 7/08	H 0 4 B 7/08	5 K O 5 9
H 0 4 B 7/10	H 0 4 B 7/10	A

審査請求 未請求 予備審査請求 有 (全 91 頁)

(21) 出願番号 特願2003-501086 (P2003-501086)
 (86) (22) 出願日 平成14年5月17日 (2002.5.17)
 (85) 翻訳文提出日 平成15年11月28日 (2003.11.28)
 (86) 国際出願番号 PCT/US2002/016044
 (87) 国際公開番号 W02002/098012
 (87) 国際公開日 平成14年12月5日 (2002.12.5)
 (31) 優先権主張番号 09/871, 049
 (32) 優先日 平成13年5月31日 (2001.5.31)
 (33) 優先権主張国 米国 (US)

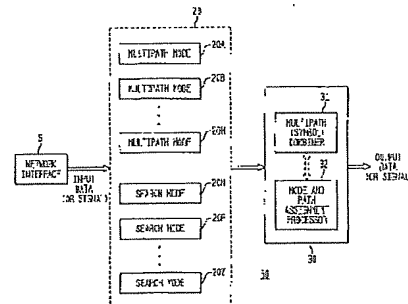
(71) 出願人 503437510
 クイックシルヴァー テクノロジー, イン
 コーポレーテッド
 アメリカ合衆国 9 5 1 1 9 カリフォル
 ニア, サンホセ, スイート 1 2 0, ヴィ
 ア デル オロ 6 6 4 0
 (74) 代理人 100064447
 弁理士 岡部 正夫
 (74) 代理人 100085176
 弁理士 加藤 伸晃
 (74) 代理人 100106703
 弁理士 産形 和央
 (74) 代理人 100096943
 弁理士 臼井 伸一

最終頁に続く

(54) 【発明の名称】 動的サーチおよびマルチパス受信の適応マルチモードレイク受信機

(57) 【要約】

本発明は、新しいタイプのレイク受信機、すなわちマルチモードレイク受信機に関し、マルチモードレイク受信機は、移動局あるいは基地局内に含めることができ、また、CDMA、cdma 2000、W-CDMA、または他の移動体通信システムの動的パイロット信号サーチ能力ならびにマルチパス受信および結合能力を有する。適応マルチモードレイク受信機は、ネットワークインタフェースと、複数の適応マルチモードレイクフィンガと、マルチモードプロセッサと、を含む。各適応マルチモードレイクフィンガおよびマルチモードプロセッサは、第1の構成情報(第1のモード信号)に応答してパス受信機能モードに構成され、またさらに、第2の構成情報(第2のモード信号)に応答してサーチャ機能モードに構成され、捕捉モード、トラヒックモード、およびアイドルモードのマルチモードレイク受信機を提供する。好ましい実施形態では、マルチモードレイク受信機は、適応性のある、または再構成可能な計算という新しいカテゴリの集積回路を用いて実施され、相互接続ネットワークに接続される複数の異種の計算素子を提供して、パ



【特許請求の範囲】

【請求項 1】

ネットワークインタフェースと、

該ネットワークインタフェースに動作可能に接続された複数の適応マルチモードレイクフィンガであって、該複数の適応マルチモードレイクフィンガの各適応マルチモードレイクフィンガは、第 1 のモード信号に応答してパス受信機能モードに構成され、またさらに第 2 のモード信号に応答してサーチャー機能モードに構成される、該複数の適応マルチモードレイクフィンガと、

該複数の適応マルチモードレイクフィンガに動作可能に接続されたマルチモードプロセッサであって、前記第 1 のモード信号に応答して前記パス受信機能モードに構成され、またさらに前記第 2 のモード信号に応答して前記サーチャー機能モードに構成される、該マルチモードプロセッサと、
を備えるマルチモードレイク受信機。

10

【請求項 2】

捕捉モードの場合、前記複数の適応マルチモードレイクフィンガのすべての適応マルチモードレイクフィンガは前記サーチャー機能モードに構成され、前記マルチモードプロセッサは前記サーチャー機能モードに構成される、請求項 1 記載のマルチモードレイク受信機。

【請求項 3】

トラヒックモードの場合、

前記複数の適応マルチモードレイクフィンガの第 1 の部分集合の適応マルチモードレイクフィンガは前記サーチャー機能モードに構成され、前記マルチモードプロセッサの第 1 の部分は前記サーチャー機能モードに構成され、

20

前記複数の適応マルチモードレイクフィンガの第 2 の部分集合の適応マルチモードレイクフィンガは前記パス受信機能モードに構成され、前記マルチモードプロセッサの第 2 の部分は前記パス受信機能モードに構成される、請求項 1 記載のマルチモードレイク受信機。

【請求項 4】

パス受信機能モードに構成される前記第 2 の部分集合の適応マルチモードレイクフィンガは、前記サーチャー機能モードに構成されたときの前記第 1 の部分集合のマルチモードレイクフィンガおよび前記マルチモードプロセッサの前記第 1 の部分によって決まるマルチパスの数に対応する、請求項 3 記載のマルチモードレイク受信機。

30

【請求項 5】

前記サーチャー機能モードに構成される前記第 1 の部分集合の適応マルチモードレイクフィンガおよび前記パス受信機能モードに構成される第 2 の部分集合の適応マルチモードレイクフィンガは、複数のチャネル依存パラメータから選択される少なくとも 1 つのチャネル依存パラメータに基づいて動的に決定され、前記複数のチャネル依存パラメータは、パイロット信号相対パワーレベル、識別されたマルチパスの数、識別された基地局の数、受信したトラヒックの信号対雑音比、および受信したトラックのエラーレートを含む、請求項 3 記載のマルチモードレイク受信機。

【請求項 6】

アイドルモードの場合、

前記複数の適応マルチモードレイクフィンガの第 1 の部分集合の適応マルチモードレイクフィンガは前記サーチャー機能モードに構成され、前記マルチモードプロセッサの第 1 の部分は前記サーチャー機能モードに構成され、

40

前記複数の適応マルチモードレイクフィンガの第 2 の部分集合の適応マルチモードレイクフィンガは前記パス受信機能モードに構成され、前記マルチモードプロセッサの第 2 の部分は前記パス受信機能モードに構成され、

前記複数の適応マルチモードレイクフィンガの第 3 の部分集合の適応マルチモードレイクフィンガおよび前記マルチモードプロセッサの第 3 の部分は、比較的低電力消費に構成される、請求項 1 記載のマルチモードレイク受信機。

50

【請求項 7】

前記複数の適応マルチモードレイクフィンは、
第 1 の計算素子および第 2 の計算素子を含む複数の異種計算素子をさらに備え、前記第 1 の計算素子は第 1 の固定アーキテクチャを有し、前記第 2 の計算素子は第 2 の固定アーキテクチャを有し、前記第 1 の固定アーキテクチャは前記第 2 の固定アーキテクチャと異なる、請求項 1 記載のマルチモードレイク受信機。

【請求項 8】

前記複数の適応マルチモードレイクフィンは、
前記複数の異種計算素子に接続された相互接続ネットワークをさらに備え、該相互接続ネットワークは、第 1 の構成情報にตอบสนองして前記複数の異種計算素子を前記パス受信機能モードに構成するように動作し、またさらに、第 2 の構成情報にตอบสนองして前記複数の異種計算素子を前記サーチャ機能モードに再構成するように動作する、請求項 7 記載のマルチモードレイク受信機。

【請求項 9】

前記複数の異種計算素子は、
擬似ランダムノイズシーケンスおよび直交コード発生器と、
該擬似ランダムノイズシーケンスおよび直交コード発生器に動作可能に接続されたタイミング調整器と、
前記擬似ランダムノイズシーケンスおよび直交コード発生器に動作可能に接続されたパイロット信号相関器と、
該パイロット信号相関器に動作可能に接続された位相推定器と、
前記擬似ランダムノイズシーケンスおよび直交コード発生器ならびに前記タイミング調整器に動作可能に接続されたチャネル相関器と、
該チャネル相関器に動作可能に接続された位相調整器と、
をさらに備える、請求項 7 記載のマルチモードレイク受信機。

【請求項 10】

前記タイミング調整器からの第 1 の出力、前記パイロット信号相関器からの第 2 の出力、前記チャネル相関器からの第 3 の出力、および前記位相調整器からの第 4 の出力を含む複数の出力がさらに動作可能にマルチプレクサに接続され、該マルチプレクサは、前記第 1 の構成情報にตอบสนองして前記複数の出力から前記第 4 の出力を選択し、それによって前記パス受信機能モードを提供し、また、前記第 2 の構成情報にตอบสนองして前記複数の出力から前記第 1 の出力、前記第 2 の出力、および前記第 3 の出力を選択し、それによって前記サーチャ機能モードを提供する、請求項 9 記載のマルチモードレイク受信機。

【請求項 11】

前記第 1 の固定アーキテクチャおよび前記第 2 の固定アーキテクチャは、複数の特定のアーキテクチャから選択され、該複数の特定のアーキテクチャは、メモリ、加算、乗算、複素乗算、減算、構成、再構成、制御、入力、出力、および現場でのプログラム可能性の各機能を含む、請求項 7 記載のマルチモードレイク受信機。

【請求項 12】

前記マルチモードプロセッサは、
第 1 の計算素子および第 2 の計算素子を含む複数の異種計算素子をさらに備え、前記第 1 の計算素子は第 1 の固定アーキテクチャを有し、前記第 2 の計算素子は第 2 の固定アーキテクチャを有し、前記第 1 の固定アーキテクチャは前記第 2 の固定アーキテクチャと異なる、請求項 1 記載のマルチモードレイク受信機。

【請求項 13】

前記マルチモードプロセッサは、
前記複数の異種計算素子に接続された相互接続ネットワークをさらに備え、該相互接続ネットワークは、前記第 1 の構成情報にตอบสนองして前記複数の異種計算素子を前記パス受信機能モードに構成するように動作し、またさらに、第 2 の構成情報にตอบสนองして前記複数の異種計算素子を前記サーチャ機能モードに再構成するように動作する、請求項 12 記載の

マルチモードレイク受信機。

【請求項 14】

前記複数の異種計算素子は、
マルチパス結合器と、
モードおよびパス割り振りプロセッサと、
をさらに備える、請求項 12 記載のマルチモードレイク受信機。

【請求項 15】

前記第 1 の固定アーキテクチャおよび前記第 2 の固定アーキテクチャは、複数の特定のアーキテクチャから選択され、該複数の特定のアーキテクチャは、メモリ、加算、乗算、複素乗算、減算、構成、再構成、制御、入力、出力、および現場でのプログラム可能性の各機能を含む、請求項 12 記載のマルチモードレイク受信機。 10

【請求項 16】

移動局内に組み入れられる請求項 1 記載のマルチモードレイク受信機。

【請求項 17】

基地局内に組み入れられる請求項 1 記載のマルチモードレイク受信機。

【請求項 18】

第 1 の計算素子および第 2 の計算素子を含む複数の異種計算素子であって、前記第 1 の計算素子は第 1 の固定アーキテクチャを有し、前記第 2 の計算素子は第 2 の固定アーキテクチャを有し、前記第 1 の固定アーキテクチャは前記第 2 の固定アーキテクチャと異なる、該複数の異種計算素子と、
該複数の異種計算素子に接続された相互接続ネットワークであって、第 1 の構成情報にตอบสนองして前記複数の異種計算素子をマルチパス受信機能モードに構成するように動作し、またさらに、第 2 の構成情報にตอบสนองして前記複数の異種計算素子をサーチャ機能モードに再構成するように動作する該相互接続ネットワークと、
を備える、直接拡散式スペクトラム拡散受信装置。 20

【請求項 19】

前記第 1 の固定アーキテクチャおよび前記第 2 の固定アーキテクチャは、複数の特定のアーキテクチャから選択され、該複数の特定のアーキテクチャは、メモリ、加算、乗算、複素乗算、減算、構成、再構成、制御、入力、出力、および現場でのプログラム可能性の各機能を含む、請求項 18 記載の直接拡散式スペクトラム拡散受信装置。 30

【請求項 20】

前記相互接続ネットワークは、前記複数の異種計算素子間でデータおよび制御情報を再構成可能なようにルーティングする、請求項 18 記載の直接拡散式スペクトラム拡散受信装置。

【請求項 21】

前記複数の異種計算素子および前記相互接続ネットワークに接続されたコントローラをさらに備え、該コントローラは、前記複数の異種計算素子を前記マルチパス受信機能モードに構成すること、および前記複数の異種計算素子を前記サーチャ機能モードに再構成することを指示しスケジューリングするように動作する、請求項 18 記載の直接拡散式スペクトラム拡散受信装置。 40

【請求項 22】

前記複数の異種計算素子および前記相互接続ネットワークに接続されたメモリをさらに備え、該メモリは、前記第 1 の構成情報および前記第 2 の構成情報を格納するように動作する、請求項 18 記載の直接拡散式スペクトラム拡散受信装置。

【請求項 23】

前記複数の異種計算素子および前記相互接続ネットワークは、複数の適応マルチモードレイクフィンガを形成するように構成されるとともに、前記複数の適応マルチモードレイクフィンガに動作可能に接続されたマルチモードプロセッサを形成するように構成され、前記複数の適応マルチモードレイクフィンガの各適応マルチモードレイクフィンガは、前記第 1 の構成情報にตอบสนองして前記マルチパス受信機能モードに構成され、またさらに、前 50

記第2の構成情報に応答して前記サーチャー機能モードに構成され、
前記マルチモードプロセッサは、前記第1の構成情報に応答して前記マルチパス受信機能
モードに構成され、またさらに、第2の構成情報に応答して前記サーチャー機能モードに
構成される、請求項18記載の直接拡散式スペクトラム拡散受信装置。

【請求項24】

捕捉モードの場合、前記複数の適応マルチモードレイクフィングのすべての適応マルチモ
ードレイクフィングは前記サーチャー機能モードに構成され、前記マルチモードプロセッ
サは前記サーチャー機能モードに構成される、請求項23記載の直接拡散式スペクトラム
拡散受信装置。

【請求項25】

トラヒックモードの場合、

前記複数の適応マルチモードレイクフィングの第1の部分集合の適応マルチモードレイク
フィングは前記サーチャー機能モードに構成され、前記マルチモードプロセッサの第1の
部分は前記サーチャー機能モードに構成され、

前記複数の適応マルチモードレイクフィングの第2の部分集合の適応マルチモードレイク
フィングは前記パス受信機能モードに構成され、前記マルチモードプロセッサの第2の部
分は前記パス受信機能モードに構成される、請求項23記載の直接拡散式スペクトラム拡
散受信装置。

【請求項26】

パス受信機能モードに構成される前記第2の部分集合の適応マルチモードレイクフィング
は、前記サーチャー機能モードに構成されたときの前記第1の部分集合のマルチモードレ
イクフィングおよび前記マルチモードプロセッサの前記第1の部分によって決まるマルチ
パスの数に対応する、請求項25記載の直接拡散式スペクトラム拡散受信装置。

【請求項27】

前記サーチャー機能モードに構成される前記第1の部分集合の適応マルチモードレイクフ
ィングおよび前記パス受信機能モードに構成される第2の部分集合の適応マルチモードレ
イクフィングは、複数のチャネル依存パラメータから選択される少なくとも1つのチャネ
ル依存パラメータに基づいて動的に決定され、前記複数のチャネル依存パラメータは、パ
イロット信号相対パワーレベル、識別されたマルチパスの数、識別された基地局の数、受
信したトラヒックの信号対雑音比、および受信したトラックのエラーレートを含む、請求
項25記載の直接拡散式スペクトラム拡散受信装置。

【請求項28】

アイドルモードの場合、

前記複数の適応マルチモードレイクフィングの第1の部分集合の適応マルチモードレイク
フィングは前記サーチャー機能モードに構成され、前記マルチモードプロセッサの第1の
部分は前記サーチャー機能モードに構成され、

前記複数の適応マルチモードレイクフィングの第2の部分集合の適応マルチモードレイク
フィングは前記パス受信機能モードに構成され、前記マルチモードプロセッサの第2の部
分は前記パス受信機能モードに構成され、

前記複数の適応マルチモードレイクフィングの第3の部分集合の適応マルチモードレイク
フィングおよび前記マルチモードプロセッサの第3の部分は、比較的低電力消費に構成さ
れる、請求項23記載の直接拡散式スペクトラム拡散受信装置。

【請求項29】

前記複数の異種計算素子は、

擬似ランダムノイズシーケンスおよび直交コード発生器と、

該擬似ランダムノイズシーケンスおよび直交コード発生器に動作可能に接続されたパイロ
ット信号相関器と、

該パイロット信号相関器に動作可能に接続された位相推定器と、

前記擬似ランダムノイズシーケンスおよび直交コード発生器に動作可能に接続されたタイ
ミング調整器と、

10

20

30

40

50

前記擬似ランダムノイズシーケンスおよび直交コード発生器ならびに前記タイミング調整器に動作可能に接続されたチャネル相関器と、
該チャネル相関器に動作可能に接続された位相調整器と、
をさらに備える、請求項 18 記載の直接拡散式スペクトラム拡散受信装置。

【請求項 30】

前記複数の異種計算素子は、
マルチパス結合器と、
モードおよびパス割り振りプロセッサと、
をさらに備える、請求項 18 記載の直接拡散式スペクトラム拡散受信装置。

【請求項 31】

前記第 1 の固定アーキテクチャおよび前記第 2 の固定アーキテクチャは、複数の特定のアーキテクチャから選択され、該複数の特定のアーキテクチャは、メモリ、加算、乗算、複素乗算、減算、構成、再構成、制御、入力、出力、および現場でのプログラム可能性の各機能を含む、請求項 18 記載の直接拡散式スペクトラム拡散受信装置。

【請求項 32】

前記相互接続ネットワークに接続された第 2 の複数の異種計算素子をさらに含み、
前記相互接続ネットワークは、前記第 2 の複数の異種計算素子を前記マルチパス受信機能モードに構成し、前記第 2 の複数の異種計算素子を前記サーチャ機能モードに構成し、
また前記第 2 の複数の異種計算素子を第 3 の機能モードに構成するようにさらに動作し、
前記第 3 の機能モードは複数の機能モードから選択され、また前記第 3 の機能モードは非
レイク受信モードである、請求項 18 記載の直接拡散式スペクトラム拡散受信装置。

【請求項 33】

移動局内に組み入れられる請求項 18 記載の直接拡散式スペクトラム拡散受信装置。

【請求項 34】

基地局内に組み入れられる請求項 18 記載の直接拡散式スペクトラム拡散受信装置。

【請求項 35】

入力信号を受け取ること、
第 1 の構成情報に応答して、複数の適応マルチモードレイクフィングをパス受信機能モードに構成することであって、それにより前記入力信号のマルチパス受信を提供する、パス受信機能モードに構成すること、
第 2 の構成情報に応答して、前記複数の適応マルチモードレイクフィングをサーチャ機能モードに構成することであって、それにより前記入力信号からの複数のパイロット信号の決定を提供する、サーチャ機能モードに構成すること、
とを含む、適応レイク受信方法。

【請求項 36】

前記第 1 の構成情報に応答して、マルチモードプロセッサをマルチパス結合器として前記パス受信機能モードに構成することであって、それにより前記入力信号の前記マルチパス受信から出力データを供給する、パス受信機能モードに構成すること、
第 2 に構成情報に応答して、前記マルチモードプロセッサをサーチャ機能モードに構成することであって、それにより前記入力信号から決定された前記複数のパイロット信号から好ましいパイロット信号を選択する、サーチャ機能モードに構成すること、
とをさらに含む、請求項 35 記載の適応レイク受信方法。

【請求項 37】

捕捉モードにおいて、前記複数の適応マルチモードレイクフィングのすべての適応マルチモードレイクフィングを前記サーチャ機能モードに構成するとともに、前記マルチモードプロセッサを構成することは前記サーチャ機能モードに構成することをさらに含む、請求項 36 記載の適応レイク受信方法。

【請求項 38】

トラヒックモードにおいて、前記複数の適応マルチモードレイクフィングの第 1 の部分集合の適応マルチモードレイクフィングを前記サーチャ機能モードに構成するとともに、

前記マルチモードプロセッサの第1の部分の前記サーチャージャー機能モードに構成すること、前記トラヒックモードにおいて、前記複数の適応マルチモードレイクフィングの第2の部分集合の適応マルチモードレイクフィングを前記パス受信機能モードに構成するとともに、前記マルチモードプロセッサの第2の部分の前記パス受信機能モードに構成すること、とをさらに含む、請求項36記載の適応レイク受信方法。

【請求項39】

パス受信機能モードに構成される前記第2の部分集合の適応マルチモードレイクフィングは、前記サーチャージャー機能モードに構成されたときの前記第1の部分集合のマルチモードレイクフィングおよび前記マルチモードプロセッサの前記第1の部分によって決まるマルチパスの数に対応する、請求項38記載の適応レイク受信方法。

10

【請求項40】

前記サーチャージャー機能モードに構成される前記第1の部分集合の適応マルチモードレイクフィングおよび前記パス受信機能モードに構成される前記第2の部分集合の適応マルチモードレイクフィングは、複数のチャネル依存パラメータから選択される少なくとも1つのチャネル依存パラメータに基づいて動的に決定され、前記複数のチャネル依存パラメータは、パイロット信号相対パワーレベル、識別されたマルチパスの数、識別された基地局の数、受信したトラヒックの信号対雑音比、および受信したトラックのエラーレートを含む、請求項38記載の適応レイク受信方法。

【請求項41】

アイドルモードにおいて、前記複数の適応マルチモードレイクフィングの第1の部分集合の適応マルチモードレイクフィングを前記サーチャージャー機能モードに構成するとともに、前記マルチモードプロセッサの第1の部分の前記サーチャージャー機能モードに構成し、前記アイドルモードにおいて、前記複数の適応マルチモードレイクフィングの第2の部分集合の適応マルチモードレイクフィングを前記パス受信機能モードに構成するとともに、前記マルチモードプロセッサの第2の部分の前記パス受信機能モードに構成し、また、前記アイドルモードにおいて、前記複数の適応マルチモードレイクフィングの第3の部分集合の適応マルチモードレイクフィングおよび前記マルチモードプロセッサの第3の部分集合の適応マルチモードレイクフィングを比較的電力消費に構成する、請求項36記載の適応レイク受信方法。

20

【請求項42】

移動局内で行われる請求項35記載の適応レイク受信方法。

30

【請求項43】

基地局内で行われる請求項35記載の適応レイク受信方法。

【請求項44】

第1の計算素子および第2の計算素子を含む複数の異種計算素子であって、前記第1の計算素子は第1の固定アーキテクチャを有し、前記第2の計算素子は第2の固定アーキテクチャを有し、前記第1の固定アーキテクチャは前記第2の固定アーキテクチャと異なる、複数の異種計算素子と、

該複数の異種計算素子に接続された相互接続ネットワークであって、前記複数の異種計算素子を、複数の適応マルチモードレイクフィングを形成するとともに、該複数の適応マルチモードレイクフィングに動作可能に接続されたマルチモードプロセッサを形成するように構成するように動作する該相互接続ネットワークと、

40

を備える、直接拡散式スペクトラム拡散符号分割多重アクセス無線受信装置。

【請求項45】

前記複数の適応マルチモードレイクフィングの各適応マルチモードレイクフィングは、第1の構成情報に回答してマルチパス受信機能モードに構成され、またさらに、第2の構成情報に回答してサーチャージャー機能モードに構成され、

前記マルチモードプロセッサは、前記第1の構成情報に回答して前記マルチパス受信機能モードに構成され、またさらに、第2の構成情報に回答して前記サーチャージャー機能モードに構成される、請求項44記載の直接拡散式スペクトラム拡散符号分割多重アクセス無線受信装置。

50

【請求項 4 6】

捕捉モードの場合、前記複数の適応マルチモードレイクフィングのすべての適応マルチモードレイクフィングは前記サーチャ機能モードに構成され、前記マルチモードプロセッサは前記サーチャ機能モードに構成される、請求項 4 5 記載の直接拡散式スペクトラム拡散符号分割多重アクセス無線受信装置。

【請求項 4 7】

トラヒックモードの場合、

前記複数の適応マルチモードレイクフィングの第 1 の部分集合の適応マルチモードレイクフィングは前記サーチャ機能モードに構成され、前記マルチモードプロセッサの第 1 の部分は前記サーチャ機能モードに構成され、

10

前記複数の適応マルチモードレイクフィングの第 2 の部分集合の適応マルチモードレイクフィングは前記パス受信機能モードに構成され、前記マルチモードプロセッサの第 2 の部分は前記パス受信機能モードに構成される、請求項 4 5 記載の直接拡散式スペクトラム拡散符号分割多重アクセス無線受信装置。

【請求項 4 8】

前記サーチャ機能モードに構成される前記第 1 の部分集合の適応マルチモードレイクフィングおよび前記パス受信機能モードに構成される第 2 の部分集合の適応マルチモードレイクフィングは、複数のチャネル依存パラメータから選択される少なくとも 1 つのチャネル依存パラメータに基づいて動的に決定され、前記複数のチャネル依存パラメータは、パイロット信号相対パワーレベル、識別されたマルチパスの数、識別された基地局の数、受信したトラヒックの信号対雑音比、および受信したトラックのエラーレートを含む、請求項 4 7 記載の直接拡散式スペクトラム拡散符号分割多重アクセス無線受信装置。

20

【請求項 4 9】

アイドルモードの場合、

前記複数の適応マルチモードレイクフィングの第 1 の部分集合の適応マルチモードレイクフィングは前記サーチャ機能モードに構成され、前記マルチモードプロセッサの第 1 の部分は前記サーチャ機能モードに構成され、

前記複数の適応マルチモードレイクフィングの第 2 の部分集合の適応マルチモードレイクフィングは前記パス受信機能モードに構成され、前記マルチモードプロセッサの第 2 の部分は前記パス受信機能モードに構成され、

30

前記複数の適応マルチモードレイクフィングの第 3 の部分集合の適応マルチモードレイクフィングおよび前記マルチモードプロセッサの第 3 の部分は、比較的低電力消費に構成される、請求項 4 5 記載の直接拡散式スペクトラム拡散符号分割多重アクセス無線受信装置。

【請求項 5 0】

ネットワークインタフェースと、

該ネットワークインタフェースに動作可能に接続された複数の適応マルチモードレイクフィングであって、該複数の適応マルチモードレイクフィングの各適応マルチモードレイクフィングは、第 1 のモード信号に応答してパス受信機能モードに構成され、またさらに第 2 のモード信号に応答してサーチャ機能モードに構成される、該複数の適応マルチモードレイクフィングと、

40

該複数の適応マルチモードレイクフィングに動作可能に接続されたマルチモードプロセッサであって、前記第 1 のモード信号に応答して前記パス受信機能モードに構成され、またさらに前記第 2 のモード信号に応答して前記サーチャ機能モードに構成される、該マルチモードプロセッサと、を備え、

捕捉モードの場合、前記複数の適応マルチモードレイクフィングのすべての適応マルチモードレイクフィングは前記サーチャ機能モードに構成され、前記マルチモードプロセッサは前記サーチャ機能モードに構成され、

トラヒックモードの場合、前記複数の適応マルチモードレイクフィングの第 1 の部分集合の適応マルチモードレイクフィングは前記サーチャ機能モードに構成され、前記マルチ

50

モードプロセッサの第1の部分は前記サーチャ機能モードに構成され、前記複数の適応マルチモードレイクフィングの第2の部分集合の適応マルチモードレイクフィングは前記パス受信機能モードに構成され、前記マルチモードプロセッサの第2の部分は前記パス受信機能モードに構成され、

前記サーチャ機能モードに構成される前記第1の部分集合の適応マルチモードレイクフィングおよび前記パス受信機能モードに構成される第2の部分集合の適応マルチモードレイクフィングは、複数のチャネル依存パラメータから選択される少なくとも1つのチャネル依存パラメータに基づいて動的に決定され、前記複数のチャネル依存パラメータはさらに、パイロット信号相対パワーレベル、識別されたマルチパスの数、識別された基地局の数、受信したトラフィックの信号対雑音比、および受信したトラックのエラーレートを含む、マルチモードレイク受信機。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、包括的に集積回路に関し、特に、たとえば、CDMA、cdma2000、W-CDMA、または他の任意の直接拡散式スペクトラム拡散通信システムにおいて利用される動的サーチおよびマルチパス受信のマルチモードレイク受信のための適応型再構成可能集積回路に関する。

【0002】

〔関連出願の相互参照〕

本出願は、2001年3月22日に出願され、本発明の譲受人であるQuickSilver Technology, Inc.に譲渡され、参照により本明細書に援用される、Paul L. Master他の「Adaptive Integrated Circuitry With Heterogeneous And Reconfigurable Matrices Of Diverse And Adaptive Computational Units Having Fixed, Application Specific Computational Elements」と題する米国特許出願第09/815,122号に関連し、一般に開示されているすべての主題（「関連出願」）について優先権を主張するものである。

【背景技術】

【0003】

増大し続ける移動体通信技術の使用水準に適応するため、符号分割多重アクセス（「CDMA」）、cdma2000、および「W-CDMAモバイル通信システムがますます配備（または配備を計画）されている。こういった通信システム内、特に基地局および移動局（またはCDMA携帯電話やマルチメディアデバイス等の移動体）内では、マルチパス受信のために「レイク」受信機が採用され、空間ダイバーシティおよび時間ダイバーシティの両方が通信システムに加えられる。

【0004】

レイク受信機は、このマルチパス受信に使用される複数の「レイクフィング」、および指定されたサーチャ（各種サーチウィンドウを有する）を含む。このようなサーチャは利用可能なマルチパスを決定するために採用され、決定後に、利用可能なマルチパスにレイクフィングが割り振られる。加えて移動局内でも、システム（パイロット信号）取得、潜在的なソフトハンドオフ機能、また一般に、基地局から伝送されている信号の中で最も強い信号を常に絶えず選択する目的で対応する複数の基地局から伝送される複数のパイロット信号またはチャネルを監視するために、サーチャが採用される。

【0005】

レイク受信機の現行のCDMA実施は、移動局および基地局に固定数のレイクフィングを採用している。移動局では、通常3つのレイクフィングが最大3つのマルチパスの受信に使用され、1つのサーチャが、たとえば、利用可能な、または到来するマルチパスおよび基地局信号を監視するために使用される。それぞれマルチパス受信あるいはサーチに専用のこのような固定数のフィングまたはサーチャはそれぞれ、許容できない遅延（システム捕捉の際の遅延等）、通話断、品質劣化する通話、または他の不十分なシステムパフォーマンス発生させる可能性がある。

【 0 0 0 6 】

加えて、c d m a 2 0 0 0 および広帯域 C D M A (W - C D M A) 等の提案されている技術の実施は、マルチパス受信のためにトラヒックモードにおいて追加のレイクフィンガおよび信号サーチまたはチャネル選択のために追加のサーチャを用いる必要があり得るか、またはそうして最適化し得る。これにはそれぞれ、より広い拡散(擬似ランダムノイズまたは「P N」)コードまたはシーケンス、および直交関数を収容するために複雑性が追加される。しかし、このような追加の固定かつ専用の集積回路(「I C」)ハードウェアを使用すると、レイク受信機の複雑性およびコストが増大する可能性があるとともに、電力の消費が増大する可能性があり、バッテリーの寿命および対応する通話時間またはトラヒック時間に対して潜在的に有害な影響がある。

10

【 0 0 0 7 】

したがって、マルチパス受信機能およびサーチ機能の両方のマルチモード機能についてリアルタイムで動的に最適化可能な適応性があり再構成可能なレイク受信機を提供する必要性が残っている。このような適応性があり、かつ再構成可能なレイク受信機は、電力の消費を最小化すべきであるとともに、ハンドヘルド装置および他のバッテリー電源装置での使用などの低電力用途に適したものであるべきでもある。

【 発明の開示 】

【 課題を解決するための手段 】

【 0 0 0 8 】

本発明は、新しいタイプのレイク受信機、すなわちマルチモードレイク受信機に関し、マルチモードレイク受信機は、移動局あるいは基地局内に含めることができ、C D M A、P C S、3 G、または他の移動体通信システムにおいて動的パイロット信号をサーチする能力およびマルチパスを受信し結合する能力を有する。本発明のマルチモードレイク受信機は、既存の形の集積回路を利用して実施する、または好ましくは、適応性があるまたは再構成可能なコンピューティングに新しいカテゴリの集積回路および新しい方法論を利用して実施することができる。

20

【 0 0 0 9 】

加えて、本発明の好ましいマルチモードレイク受信機は、複数の動作モード：システム捕捉モード、トラヒックモード、およびアイドルモードを提供する。本発明は、特定の動作モード：システム捕捉モードおよびアイドルモードでは通常、2つ以上のレイクフィンガは必要なく(システム捕捉では0であり、アイドルモードでは1つ)、これらモードでの追加のレイクフィンガはいずれもI C材料の無駄であることを認めている。その代わりに、本発明によれば、複数のサーチャがこれらモードにおいて、システム捕捉速度または近隣サーチを増大させるために有用であり得る。また、トラヒックモードでは、受信するマルチパスまたは基地局信号の厳密な数が、フェージングチャネルにより動的に変動する。このため、本発明は、現在の無線周波数(R F)環境の状態に応じて受信機のパフォーマンスを向上させるために、レイクフィンガをサーチャと動的にスワップする能力を提供する。

30

【 0 0 1 0 】

好ましいI C実施形態は、相互接続ネットワークに接続された複数の異種の計算素子を含み、マルチモードレイクフィンガを形成する。複数の異種計算素子は、メモリ、加算、乗算、複素乗算、減算、構成、再構成、制御、入力、出力、および現場でのプログラム可能性等の種々の機能に、固定のアーキテクチャ等の固定の異なるアーキテクチャを有する、対応する計算素子を含む。構成情報に応答して、相互接続ネットワークは、パイロット信号サーチならびにマルチパス受信および結合を含む複数の異なる機能モードの複数の異種計算素子を構成および再構成するようにリアルタイムで動作可能である。

40

【 0 0 1 1 】

より具体的に言えば、好ましい装置は、ネットワークインタフェース、複数の適応マルチモードレイクフィンガ、およびマルチモードプロセッサを備える。複数の適応マルチモードレイクフィンガの各適応マルチモードレイクフィンガは、第1の構成情報(第1の信号

50

、またはパスモード信号) に応答して、パス受信機能モードに構成され、またさらに、第2の構成情報(第2の信号またはサーチモード信号) に応答して、サーチャーマ機能モードに構成される。マルチモードプロセッサもまた第1の構成情報(第1の信号またはパスモード信号) に応答してパス受信機能モードに構成され、またさらに、第2の構成情報(第2の信号またはサーチモード信号) に応答してサーチャーマ機能モードに構成される。

【0012】

本発明によれば、マルチモードレイク受信機がシステム捕捉モードであるとき、すべての適応マルチモードレイクフィンガおよびマルチモードプロセッサは、サーチャーマ機能モードに構成される。トラヒックモードでは、適応マルチモードレイクフィンガの部分集合およびマルチモードプロセッサは、パイロット信号強度および利用可能なマルチパスの数等の要因に応じて、サーチャーマ機能モードまたはパス受信モードに動的に構成される。アイドルモードでは、適応マルチモードレイクフィンガの部分集合およびマルチモードプロセッサも節電モードに構成することができる。

10

20

30

40

【0013】

本発明は、好ましくは、潜在的な欠点を最小限に抑えながら、プロセッサ、特定用途向け集積回路(「ASIC」)およびフィールドプログラマブルゲートアレイ(「FPGA」)の様々な利点を効果的かつ効率的に組み合わせて最大化する新しい形またはタイプの集積回路を利用する。本発明によれば、適応計算エンジン(ACE)と呼ばれ、プロセッサのプログラミング柔軟性、FPGAの組立後の柔軟性、およびASICの高速要素および高利用率要素を提供する、このような新しい形またはタイプの集積回路が開示される。本発明のACE集積回路は再構成が容易であり、リアルタイムで、対応する複数の動作モードを有することが可能であり、さらに、パフォーマンスを増大しながら電力の消費を最小限に抑え、ハンドヘルド装置および他のバッテリー電源装置に使用するなど特定の低電力用途に特に適している。

【0014】

本発明のACEアーキテクチャは、適応性があるのあるまたは再構成可能な計算のために、同種のFPGAユニットではなく、相互接続ネットワークに接続された複数の異種計算素子を含む。複数の異種計算素子は、メモリ、加算、乗算、複素乗算、減算、構成、再構成、制御、入力、出力、および現場でのプログラム可能性等の種々の機能に、固定のアーキテクチャ等の固定の異なるアーキテクチャを有する対応の計算素子を含む。構成情報に応じて、相互接続ネットワークは、線形アルゴリズム演算、非線形アルゴリズム演算、有限状態マシン演算、メモリ演算、およびビットレベル処理を含む複数の異なる機能モードに複数の異種計算素子を構成および再構成するようにリアルタイムで動作可能である。

【0015】

以下にさらに詳細に例示し考察するように、ACEアーキテクチャは単一ICを提供し、この単一ICは、これら固定の特定用途向け計算素子を使用してリアルタイムで構成および再構成することができ、それによって多種多様なタスクを実行する。好ましい実施形態では、ACEアーキテクチャは、(基地局信号およびその利用可能なマルチパスの両方)マルチパス受信およびサーチに動的に構成および再構成することができる、相関器、位相推定器、および位相補正器等の要素を利用して、複数の適応レイクフィンガを形成する。

【0016】

本発明の他の多くの利点および特徴が、以下の本発明および本発明の実施形態の詳細な説明から、特許請求の範囲から、また添付の図面から容易に明らかになるであろう。

【実施例】

【0017】

本発明は多くの異なる形の実施形態が可能であるが、本開示は本発明の原理の例示とみなされるべきであり、説明される特定の実施形態に本発明を限定する意図がないという了解の下で、詳細な特定の実施形態を図面に示すとともに本明細書において記載する。

【0018】

50

上に示したように、マルチパス受信機能およびサーチ機能の両方のマルチモード機能についてリアルタイムで動的に最適化可能な、適応性があり再構成可能なレイク受信機を提供する必要性が残っている。このような適応性があり、かつ再構成可能なレイク受信機が本発明により提供され、これは適応計算エンジン（「ACE」）と呼ばれる新しい形の集積回路を利用する。本発明は、サーチまたはマルチパス受信機能のために、随時必要であり得る、相関器、乗算器、復調器、および結合器等の機能ブロック（計算ユニットおよびマトリックス）を形成するようにリアルタイムで構成および再構成することができる複数の固定計算素子を利用する。このような本発明による適応性があり、再構成可能なレイク受信機はまた、電力の消費も最小化し、ハンドヘルド装置および他のバッテリー電源装置での使用など、低電力用途に特に適している。

10

【0019】

図1は、動的なサーチおよびマルチパス受信のための、本発明による好ましい適応型再構成可能マルチモードレイク受信機50を示すブロック図である。上に述べたように、このようなマルチモードレイク受信機50は、好ましくは、図4ないし図10を参照して以下に詳細に考察するように、ACE装置100の1つまたは複数のマトリックス150（対応する相互接続ネットワークを有する）1つまたは複数のマトリックス150として実施される。本発明の適応マルチモードレイク受信機50は、以下にさらに詳細に考察する、図2に示すようにも実施することができる。本発明によるマルチモードレイク受信機50は、CDMA、cdma2000、およびW-CDMA移動体通信システムまたは他のワイヤレス通信システムの基地局および移動局内など、マルチパス受信およびサーチ機能が必要とする任意の通信システムまたは装置内に含めることができる。

20

【0020】

図1を参照すると、適応マルチモードレイク受信機50は、ネットワークインタフェース5に動作可能に接続された複数のマルチモードレイクフィンガ20、およびマルチモード処理ユニット30を含む。ネットワークインタフェース5は通常、アンテナ（図1には別個に示されていない）に動作可能に接続され、アナログ/デジタル（A/D）変換、フィルタリング、および他の中間周波数処理等の機能を含み、ベースバンドデジタル入力信号を適応マルチモードレイクフィンガ20に提供する。マルチモード処理ユニット30は、マルチパス（シンボル）結合（31）機能ブロック（デインタリーブおよびチャネルデコードのための出力信号を生成）と、フィンガおよびモード割り振り処理（32）機能ブロック（フィンガパス割り振り信号およびモード構成信号（情報）を生成）（後述のように、レイクフィンガ構成をパス受信機能モードおよびサーチ機能モードのいずれか一方に指示する）とを含む。（説明を容易にするために、図1には、普通なら従来のまたは既知のレイク受信機に含まれ得る他の構成要素を別個に示さない）。

30

【0021】

これもまた図1に別個に示されないが、図4ないし図10を参照して以下にさらに詳細に考察するように、各マルチモードレイクフィンガ20は概して複数の計算ユニット200を含み、計算ユニット200はさらに複数の固定計算素子250を含む。これら固定計算素子250は、拡散（選択された擬似ノイズ（擬似ランダムノイズまたは「PN」）との乗算および/または直交コードもしくはシーケンス）、相関、位相追跡（推定）、および位相調整（図2に示す）を含むパス受信機能あるいはサーチャ機能（推定）を有する計算ユニット200を形成するように、リアルタイムで適応的に構成および再構成することができる。同様に、マルチモード処理ユニット30も、計算ユニット200に構成および再構成することが可能な固定計算素子250からなる。したがって、マルチモード処理ユニット30もまた、パス受信機能またはサーチャ機能に比較的または相対的に重きを置くように、すなわち、図1および図2に示すようにマルチパス結合器31として、またはモードおよびパス割り振りプロセッサ32として構成または再構成される。加えて、これら各種計算素子250はまったく異なる機能に構成および再構成することも可能であり、これについて以下にさらに詳細に考察する。

40

【0022】

50

上に示したように、マルチモードレイクフィンガ20はそれぞれ、好ましくは、少なくとも2つの動作モードまたは機能モード、すなわちマルチモードレイクフィンガ20A、20B～20Mで示すパス受信モードおよびマルチモードレイクフィンガ20N、20P～20Zで示すサーチモードを有する。以下にさらに詳細に考察するように、マルチモードレイク受信機50が捕捉モードであるか、アイドルモードであるか、それともトラヒックモードであるかに応じて、(複数のマルチモードレイクフィンガ20の)各マルチモードレイクフィンガ20は、特定のレイク受信機能モード(パス(またはマルチパス)受信モードまたはサーチモード)に構成または再構成することができるか、アイドルまたは非使用モードに保つことができるか、または別の機能全体(すなわち、ACE100内の異なる機能に使用される)に利用することができる。加えて、好ましい実施形態では、1つの適応レイクフィンガ(20Z)が常にサーチャーマードに維持される(ACE100(図4)が対応する通信機能に利用される場合)。これに対応して、マルチモードレイク受信機50が捕捉モードであるか、アイドルモードであるか、それともトラヒックモードであるかに応じて、マルチモード処理ユニット30も対応する構成または再構成を有することになり、計算素子250は、パス受信機能またはサーチャーマード機能に比較的または相対的な重きを置く、すなわちマルチパス結合器31として、またはモードおよびパス割り振りプロセッサ32として構成または再構成される。したがって、マルチモード処理ユニット30およびマルチモードレイクフィンガ20がパス受信機能およびサーチ機能に構成されると、マルチモードレイク受信機50は、当分野で既知のように動作することができる、すなわち拡散、相関、位相調整、マルチパス結合、マルチパス検出、およびパイロット信号サーチを提供することができる。

【0023】

たとえば、特定のマルチモードレイク受信機50の実施態様が、最大で7つのマルチモードレイクフィンガ20を形成するのに十分な複数の計算素子250、およびマルチモード処理ユニット30での対応する処理に適応するのに十分な複数の計算素子250を有すると仮定することができる。マルチモードレイク受信機50が、特定の場所で電源投入されたばかりであり、サービスプロバイダを見つけようとしているときなど、捕捉モードであるとき、本発明によれば、利用可能なマルチレイクフィンガ20はすべてサーチモードに構成され、利用可能なすべての周波数で利用可能なすべてのPNコードを調べて、十分なパイロット信号強度を有する適した基地局を見つける。これに対応して、捕捉モードの場合、マルチモード処理ユニット30の計算素子250もまた単独で、復調またはマルチパス結合に追加の能力を提供することなく、計算資源およびメモリ資源を適切なPNサーチウィンドウに提供して利用可能な基地局を見つけて優先順位を付けるなどのサーチモードに構成される。したがって、専用ハードウェアが移動局内の1つのサーチャーマードの形成に利用され、潜在的に許容できない捕捉時間を有する従来技術による実施と比較して、本発明による捕捉モードのマルチモードレイク受信機50は、はるかに高速に、上に述べた実施よりもおよそ7倍高速に進行することができ、より短い時間枠内でより高い信頼性でシステム捕捉を提供することができる。

【0024】

反対に、捕捉に続き、マルチモードレイク受信機50はトラヒックモードに入ることができる。トラヒックモードでは、ユーザが、たとえば全二重音声またはデータ伝送で関与し得る。環境状況および他の状況に応じて、この伝送はかなりのフェージングを受け得るか、または動的に変動する多くのマルチパスを有し得る。これら状況に応じて、構成および再構成を通して計算素子250を割り振り、適切なレベルのマルチパス受信またはパイロットサーチを提供することができる。たとえば、かなりのフェージングであるが利用可能なマルチパスが少ないという状況下、または他のハンドオフ状況下では、マルチモードレイク受信機50の資源を割り振って、より有意なサーチ、ウィンドウ生成、およびパイロット信号追跡能力を提供し、通話断または品質劣化する通話を減らすことができる。また、たとえば、利用可能なマルチパスが多い状況下では、マルチモードレイク受信機50の資源を割り振って、より有意なパス受信能力を提供する(すなわち、比較的より多くの数の

マルチモードレイクフィング 20 がパス受信モードに構成され、マルチモード処理ユニット 30 の資源の比較的より多くの割り振り分がマルチパス結合 (31) に構成され、受信品質が高くなるとともに、システムパフォーマンスが向上する。

【0025】

図 2 は、本発明による動的なサーチおよびマルチパス受信のための適応型再構成可能マルチモードレイクフィング 20 をさらに詳細に示すブロック図である。図 2 に示すように、適応マルチモードレイクフィング 20 は、1 つ (または複数) の基地局から伝送されたパイロット信号のパイロット相関器 21、チャネル (ウォルシュまたは直交コードまたはシーケンス) を決定し選択するためのチャネル (またはトラヒック) 相関器 22、およびタイミング調整ブロック 26 内に含まれる相関器 (一般に 2 ~ 3 個) 等、複数の相関器を含む。マルチモードレイクフィング 20 は、ダウンサンプラ 27、擬似ランダムノイズ (PN) シーケンスおよび直交 (ウォルシュ) コードまたはシーケンス発生器 25、および他の位相推定または追跡 (23) および位相調整または補正 (24) 機能ブロックも含む。タイミング調整ブロック 26 は、好ましくは、遅延ロックループとして実施され、チップレートの 8 倍 (8x) のサンプリングレートを使用してチップ期間内でサンプリング時間を微調整し、これがダウンサンプリングブロック (27) に入力され、相関器 22 へのサンプリングデータ入力を提供する際に使用される。タイミング調整ブロック 26 はまた、好ましくは、オンタイム (またはリアルタイム) でのパイロットチャネルの逆拡散を実行し、次に逆拡散されたパイロットシンボルが位相推定ブロック 23 に入力される。(この他に、ここでも説明を容易にするために、図 2 に別個に示されていない他の構成要素があり得る)。本発明によれば、適応マルチモードレイクフィング 20 は、マルチモードレイクフィング 20 をパス受信モードまたはサーチモードに構成する比較的高位レベル (または概念的) の構成能力の実例であるマルチプレクサ (または他のスイッチ) 28 も含み得る。例えば、以下にさらに詳細に考察するように、モードおよびパス割り振りプロセッサ 32 は、第 1 の (またはパス) モード信号を対応するマルチプレクサ 28 に送ることによって適応レイクフィング 20 をパス受信モードに構成することができ、また、第 2 の (またはサーチ) モード信号を対応するマルチプレクサ 28 に送り、それによって相関器 21、相関器 22 の出力および/またはタイミング調整ブロック 26 の相関器の出力をモードおよびパス割り振りプロセッサ 32 (サーチモード) に向けるか、または位相調整器 24 の出力をマルチパス結合器 31 (パス受信モード) に向けることによって別の適応レイクフィング 20 をサーチモードに構成することができる。マルチモードレイクフィング 20 のより詳細かつ細かい適応および再構成能力について、図 4 ないし図 10 を参照して以下に例示し考察する。

【0026】

図 3 は、本発明による動的なサーチおよびマルチパス受信の好ましい適応型再構成可能マルチモードレイク受信の方法を示す高位レベルの流れ図である。この方法は開始ステップ 55 で始まり、マルチモードレイク受信機 50 が捕捉モードにあるか否かを判定する (ステップ 60)。マルチモードレイク受信機 50 が捕捉モードである場合、この方法はステップ 65 に進み、マルチモードレイク受信機 50 をパイロット信号サーチに構成し適合させる。上で考察したように、捕捉モードの好ましい実施形態の場合、すべてのマルチモードレイクフィング 20 およびマルチモードレイク処理ユニット 30 のすべての資源はサーチモードに構成され、パイロット信号 (またはシステム) 捕捉時間を最小化し、かつ/または捕捉の信頼性を向上させる。

【0027】

ステップ 60 においてマルチモードレイク受信機 50 が捕捉モードではない場合、方法はステップ 70 に進み、トラヒックモードであるか否かが判定される。マルチモードレイク受信機 50 がトラヒックモードの場合、方法はステップ 75 に進み、マルチモードレイク受信機 50 をトラヒックモードに動的に構成し適合させ、マルチパス受信およびパイロット信号サーチの両方に資源を構成して割り振る。上に述べたように、環境および他の状況に応じて、サーチ機能とマルチパス受信機能とに相対的により多くの、または少ない資源

を割り振ることができる。一般に、サーチャー機能モードに構成される適応マルチモードレイクフィングの数およびパス受信機能モードに構成される適応マルチモードレイクフィングの数は、パイロット信号相対パワーレベル、識別されたマルチパスの数、識別された基地局の数、受信したトラヒックの信号対雑音比、および受信したトラヒックエラーレートを含むがこれらに限定されない複数のチャネル依存パラメータの1つまたは複数に基づいて動的に決定される。

【0028】

例えば、ハンドオフが差し迫っている場合、比較的より多くのマルチモードレイクフィング20（および対応するマルチモード処理ユニット30の資源）をサーチモードに構成することができ、このようなハンドオフ後に、比較的より多くのマルチモードレイクフィング20（および対応するマルチモード処理ユニット30の資源）をマルチパス受信および結合に構成することができる。また例えば、利用可能なマルチパスが少数の場合、それに対応して、マルチパス受信および結合に構成するマルチモードレイクフィング20（および対応するマルチモード処理ユニット30の資源）の配分を少なくすることができ、比較的より多くの資源がサーチの構成に残され、また逆の場合も同様である。当業者は、様々なフェージング、マルチパスおよび他の環境状況下でこのようなシステムを割り振り提供する多くのアルゴリズムおよび他の割り振り方法が既知であり利用可能であることを認めよう。

10

【0029】

引き続き図3を参照すると、マルチモードレイク受信機50がステップ60において捕捉モードではなく、ステップ70においてトラヒックモードではない場合、方法はステップ80に進み、マルチモードレイク受信機50をアイドルモードに動的に構成し適合させ、資源を主に断続パイロット信号サーチおよび断続受信ページチェック（パス受信）に構成して割り振る。加えて、資源を節電モードに割り振ることができ、適応レイクフィング20およびマルチモードプロセッサ30の資源のいくらかがスリープ、低電力、または電源オフモードに構成される。ステップ65、75、または80の後、方法はステップ60に戻り、本発明による適応型再構成可能マルチモードレイク受信の方法を繰り返し反復する。

20

【0030】

本発明による動的なサーチおよびマルチパス受信の適応型再構成可能マルチモードレイク受信機50は、多くの利点を提供する。第1に、最も重要なのは、既存のCDMAまたはPCSシステムの場合、限られた資源をマルチパス受信機能とサーチ機能とに動的に割り振ることで、マルチパス受信の向上により伝送品質が高くなる、またサーチ能力の増大および向上により通話断または品質劣化通話が少なくなるなど、何種類かの向上したシステムパフォーマンスが提供される。加えて、cdma2000またはW-CDMA等次世代システムでは、拡散コード長を増大しながら、同時にマルチパス受信用のレイクフィングの数を増やす必要がある場合があり、これによりサーチおよび関連要件が加わることになる。本発明による限られた資源をマルチパス受信機能とサーチ機能とに動的に割り振ることは特に有用で時期を得たものであり、費用効率的で節電の解決策を提供してパフォーマンスおよび処理能力を上げる要件に対処する。

30

40

【0031】

本発明の適応マルチモードレイク受信機50は、専用レイクフィング資源の構成および再構成に限定されないことに留意されたい。むしろ、本発明は、集積回路上で現在利用可能であり得る他の追加資源を動的に再構成し割り振ることに拡張されて、現在手元にある問題を解決する。具体的に言えば、マルチパス受信および／またはサーチに利用可能な資源全体の集合を、そのときに利用可能な資源に基づいて、また解決すべき問題の優先度に基づいて、時間の経過に伴って動的に拡張または縮小することができる。例えば、最初に電源が投入されたとき、移動局がシステム捕捉にのみ従事可能である、おそらく、IC資源のうちの20パーセントしか関わっていない場合がある。以下に考察する本発明による好ましいACE実施形態の場合、通常は非レイク機能に関わっている残りの資源（例えば、

50

ICのうちの80パーセント)を一時的にサーチ機能に割り振り構成することができ、その後他の後続機能に再構成することができる。

【0032】

図4は、本発明による好ましい装置100の実施形態を示すブロック図である。装置100は、本明細書では適応計算エンジン(「ACE」)と呼ばれ、集積回路として、または他のさらなる構成要素を有する集積回路の一部として実施されることが好ましい。(ACE100については、関連出願にも詳細に説明されている)。好ましい実施形態では、またさらに詳細に以下に考察するように、ACE100は、図示のマトリックス150A~150N等、1つまたは複数の再構成可能マトリックス(またはノード)150と、マトリックス相互接続ネットワーク110と、を含む。また、好ましい実施形態では、また以下に詳細に考察するように、マトリックス150の内の1つまたは複数、例えばマトリックス150Aおよび150Bはコントローラ120として機能するように構成され、別のマトリックスが、例えばマトリックス150Cおよび150Dはメモリ140として機能するように構成される。各種マトリックス150およびマトリックス相互接続ネットワーク110は、数個のノードから何千個ものノードまで拡張可能なフラクタルサブユニットとして一緒に実装してもよい。上に述べたように、好ましい実施形態では、本発明のマルチモードレイク受信機50は、ACE100として、あるいは1つまたは複数のマトリックス150として(対応する相互接続ネットワークとともに)具現される。

【0033】

従来技術からの有意な違いは、ACE100が、再構成可能マトリックス150、コントローラ120、およびメモリ140の間のシグナリングおよび他の伝送、または他の入出力(「I/O」)機能のための従来の(かつ通常は別個の)データ、DMA、ランダムアクセス、構成および指示の各バスを利用しないことである。むしろ、データ、制御、および構成情報は、以下にさらに詳細に考察するように、マトリックス150をコントローラ120として、またメモリ140として構成することを含め、再構成可能マトリックス150間に任意所与の接続を提供するようにリアルタイムで構成および再構成することが可能なマトリックス相互接続ネットワーク110を利用してこれらマトリックス150素子間で伝送される。

【0034】

メモリ140として機能するように構成されたマトリックス150は、計算素子(後述)または固定メモリ素子を利用して任意所望のまたは好ましい方法で実装することができ、また、ACE100内に包含しても、または別のICもしくはICの一部内に組み込んでよい。好ましい実施形態では、メモリ140はACE100内に含まれ、好ましくは、低電力消費ランダムアクセスメモリ(RAM)である計算素子からなるが、フラッシュ、DRAM、SRAM、MRAM、ROM、EPROM、またはEEPROM等他の任意の形のメモリの計算素子からなってもよい。好ましい実施形態では、メモリ140は、好ましくは、直接メモリアkses(DAM)エンジンを含むが、これは別個に示されていない。

【0035】

コントローラ120は、好ましくは、適応有限状態マシン、縮小命令セット(「RISC」)プロセッサ、コントローラ、または以下に考察する2つのタイプの機能を実行可能な他のデバイスまたはICとして構成されたマトリックス150Aおよび150Bを使用して実施される。(代替として、これら機能を従来のRISCまたは他のプロセッサを利用して実施することができる)。第1の制御機能は、「カーネル」制御と呼ばれ、マトリックス150Aのカーネル制御(「KARC」)として示され、第2の制御機能は、「マトリックス」制御と呼ばれ、マトリックス150Bのマトリックスコントローラ(「MARC」)として示される。コントローラ120のカーネル機能およびマトリックス制御機能については、各種マトリックス150の構成可能性および再構成可能性を参照して、また本明細書では「シルバーウェア(silverware)」モジュールと呼ぶ、データ、構成および制御情報の好ましい形の組み合わせを参照して以下にさらに詳細に説明する。

【0036】

図4のマトリックス相互接続ネットワーク110、ならびに本明細書では集合的に、また全体的に「相互接続」、「相互連結」または「相互接続ネットワーク」と呼ばれる、図3および図4に別個に示されるこの部分集合の相互接続ネットワーク（ブール相互接続ネットワーク210、データ相互接続ネットワーク240、および相互接続220）は、かなり多様な様式であるが、フィールドプログラマブルゲートアレイ（「FPGA」）相互接続ネットワークまたはスイッチングハブ等、概して当分野において既知のように実施することができる。好ましい実施形態では、様々な相互接続ネットワークが、例えば米国特許第5,218,240号、米国特許第5,336,950号、米国特許第5,245,227号、および米国特許第5,144,166号に記載されるように、また図7、図8、および図9を参照して以下に考察し図示するように実施される。これら様々な相互接続ネットワークは、コントローラ120と、メモリ140と、各種マトリックス150と、以下考察する計算ユニット200および計算素子250との間に選択可能な（または切換可能な）接続を提供し、それによって本明細書では全体的に「構成情報」と呼ばれる構成シグナリングにตอบสนองして、またこの制御下で、本明細書にて言及する構成および再構成に物理的なベースを提供する。加えて、各種相互接続ネットワーク（110、210、240、および220）は、任意の形の従来のすなわち別個の入力／出力バス、データバス、DMA、RAM、構成および命令バスの代わりに、コントローラ120と、メモリ140と、各種マトリックス150と、計算ユニット200および計算素子250との間に選択可能または切換可能なデータ、入力、出力、制御、および構成の各バスを提供する。

10

20

【0037】

しかし、各種相互接続ネットワーク（110、210、240、および220）の、またはこれら内の任意所与の切換または選択動作は、当分野にて既知のように実施することができるが、本発明による各種相互接続ネットワーク（110、210、240、および220）の設計およびレイアウトは、以下にさらに詳細に考察するように新しく新規のものであることに注意されたい。例えば、以下考察する様々なレベルのマトリックス150、計算ユニット220、および計算素子250に対応して、様々なレベルの相互接続が提供される。マトリックス150レベルでは、従来技術によるFPGA相互接続と比較して、マトリックス相互接続ネットワーク110ははるかに制限されており、「豊富さ」に劣り、所与のエリアでの接続能力が低く、それによって静電容量を低減するとともに動作速度を上げる。しかし、特定のマトリックス150または計算ユニット200内では、相互接続ネットワーク（210、220、および240）ははるかに密かつ豊富であることができ、それによって狭いまたは近い参照局所性でより高い適応能力および再構成能力を提供する。

30

【0038】

各種マトリックスまたはノード150は再構成可能であるとともに異種であり、すなわち、概して、また所望の条件に応じて、再構成可能マトリックス150Aは概して再構成マトリックス150B～150Nと異なり、再構成可能マトリックス150Bは概して再構成可能マトリックス150Aおよび150D～150Nと異なり、再構成可能マトリックス150Cは概して再構成可能マトリックス150A、150B～150Nと異なり、以下同様である。図3および図4を参照して以下にさらに詳細に考察するように、各種再構成可能マトリックス150のそれぞれは概して、異なるまたは様々な混じった適応型再構成可能計算（または演算）ユニット（200）を含み、そして計算ユニット200は概して、異なるまたは様々な混じった固定の特定用途向け計算素子（250）を含み、これらは各種相互接続ネットワークを通して各種機能を実行するように各種方法で適応して接続され、構成および再構成され得る。各種内部構成および再構成に加えて、各種マトリックス150は高位レベルにおいて、マトリックス相互接続ネットワーク110を通してその他のマトリックス150のそれぞれに関して接続、構成、および再構成することができ、これについてもさらに詳細に以下に考察する。

40

【0039】

50

いくつかの異なる、洞察に満ちた新規の概念が本発明のACE100のアーキテクチャ内に組み込まれており、これは、ACE100のリアルタイム動作およびそれに固有の利点に有用で説明的な基礎を提供する。

【0040】

本発明の第1の新規の概念は、対応する乗算、複素乗算、および加算機能を最適に実行するようにそれぞれ設計された複数の乗算器、複素乗算器、および加算器等、マトリックス150の計算ユニット200（図3）内のこういった特定用途向け、専用、または固定のハードウェアユニット（計算素子250）内に含める特定用途向け、専用、または固定のハードウェアユニット（計算素子250）の適応的かつ再構成可能な使用、および加速のために特定の機能の選択に関わる。好ましい実施形態では、低電力消費に関してACE100を最適化すべき場合、電力消費に基づいて加速機能が選択される。例えば、移動体通信等、所与の用途では、対応するC（C+またはC++）または他のコードを、電力消費に関して解析することができる。このような経験的な解析により、例えば、かかるノードのほんの一部、例えば10%等が、実行されると実際には動作電力の90%を消費していることが明らかになる場合がある。本発明によれば、このような電力使用に基づいて、コードのこのほんの一部が、特定タイプの再構成可能マトリックス150内の加速に選択され、残りのコードは、例えば、コントローラ120として構成されるマトリックス150内で実行するように適合される。加速用にコードをさらに選択することができ、これによりACE100の電力消費が、設計または動作の複雑性に起因する任意の潜在的なトレードオフまで最適化される。加えて、図5に関連して考察するように、有限状態マシンとして構成されている場合は、マトリックス150内で制御コード等の他の機能を加速することができる。

10

20

【0041】

これもまた上に示したように、本発明のマルチモードレイク受信機50の場合、好ましい実施形態では、拡散、タップ付き遅延線、PN発生器、相関器、および他の復調機能のための乗算器および複素乗算器等、各種固定の特定用途向け計算素子250を利用することができる。そして、様々なレベルの相互接続を通して、対応するアルゴリズムが固定計算素子（250）の構成および再構成を通して随時実施される、すなわち、効率について最適化され構成されているハードウェア内で実施される。すなわち、特定のアルゴリズムの実行に最適化された「マシン」がリアルタイムで構成される。

30

【0042】

本発明の次の、そしておそらく最も重要な概念および従来技術の概念および教示との著しい違いは、上に述べた被選択各種アルゴリズムを実施する際に利用される再構成可能な「異種性」という概念である。関連出願に示されるように、従来技術による再構成可能性は専ら同種のFPGAに頼っており、この場合、同一の論理ゲートブロックが豊富なプログラマブル相互接続内でアレイとして繰り返され、その後、相互接続が同一ゲート間に接続を提供して特定の機能を実施するが、これは非効率的であるとともに多くの場合はルーティングおよび計算問題が伴う。これとはまったく対照的に、本発明によれば、計算ユニット200内で、異なる計算素子（250）が、専用乗算器、複素乗算器、および加算器等の、対応して異なる固定（または専用の）特定用途向けハードウェアとして直接実施される。そして、相互接続（210および220）を利用して、これら異なる異種の計算素子（250）を、移動体通信で利用されることの多い離散コサイン変換の実行等、選択されたアルゴリズムを実行するようにリアルタイムで適応的に構成することができる。したがって、本発明によれば、異なる（「異種の」）計算素子（250）が、所与のアルゴリズムまたは他の機能を最適に実行するように随時構成および再構成される。加えて、繰り返される機能の場合、計算素子の所与のインスタンス化または構成を、時間の経過に伴ってそのままにする、すなわちこのような繰り返し計算の過程全体を通して変更しないこともできる。

40

【0043】

ACE100のアーキテクチャの時間的な性質についても留意すべきである。任意所与の

50

瞬間に、異なるレベルの相互接続（１１０、２１０、２４０、および２２０）を利用して、パイロット信号サーチの実施等、所与の機能を実行する、または特定のアルゴリズムを実施するように最適化されている特定の構成がＡＣＥ１００内に存在し得る。別の瞬間に、マルチパス受信等の別の機能またはアルゴリズムを実行するため、この構成が、他の計算素子（２５０）を相互接続するように、または同じ計算素子２５０を別様に接続するように変更され得る。この時間的な再構成可能性から、２つの重要な特徴が生じる。第１に、アルゴリズムが時間の経過に伴い、例えば新しい技術規格を実施するように変更可能なため、ＡＣＥ１００は共進化し、新しいアルゴリズムを実施するように再構成することができる。第２に、計算素子は所与のアルゴリズムのインスタンス化としてある瞬間に相互接続され、またそして別の瞬間に別のアルゴリズムを実行するように再構成されるため、異なるアルゴリズム、ゲート（またはトランジスタ）の利用が最大化され、それによってそれぞれのアクティビティファクター（activity factor）に関して最も効率的なＡＳＩＣよりもはるかに良いパフォーマンスが提供される。

10

【００４４】

異なる各種アルゴリズムを実行するための、計算素子２５０のこの時間的再構成可能性は、一方では構成および再構成と、他方ではプログラミングまたは再プログラム可能性との間の、本明細書において利用される概念的な相違点も示す。典型的なプログラム可能性は、事前に存在する関数群または関数セットを利用し、これらを様々な順序で経時にわたって呼び出して特定のアルゴリズムを実行することができる。対照的に、本明細書において使用される構成可能性および再構成可能性には、それまでは利用できなかった、または存在していなかった新しい機能を追加または作成する能力がさらに含まれる。

20

【００４５】

次に、本発明は、１つの効果的に連続した情報ストリーム内でデータと構成（または他の制御）情報との密結合（または交互嵌合）も利用する。データと構成情報とのこの結合または混合は、「シルバーウェア」モジュールと呼ばれ、別の第２の関連特許出願の主題である。しかし、本発明の目的としては、データと構成情報との１つの情報（またはビット）ストリームへのこの結合が、従来技術によるハードウェア相互接続の複数の重なったネットワークを必要とせず（多くの場合は使用されない）、ＡＣＥ１００のリアルタイムでの再構成可能性に役立つことに留意することで十分である。例えば、類推として、特定の第１の時間期間における特定の第１の構成の計算素子は、その第１の時間期間中または後に対応するアルゴリズムを実行するハードウェアとして、同じアルゴリズムを実行可能な、ソフトウェア中の「呼び出し」サブルーチンに類似するハードウェアとして見る、または概念化することができる。したがって、計算素子の構成が、構成情報により指示されて発生する（すなわち実施される）と、そのアルゴリズムで使用されるデータは、シルバーウェアモジュールの一部としてすぐに利用することができる。そして、同じ計算素子を、第２の時間期間中に、第２の構成情報によって指示されるように、これもまたすぐに利用できるデータを利用して第２の異なるアルゴリズムを実行するように再構成することができる。構成された計算素子で使用する際のデータの即時性により、メモリアドレスを決定し、格納されているデータをアドレス指定されたレジスタからフェッチする複数かつ別のソフトウェアステップに類似する１つまたは２つのクロックサイクルハードウェアが提供される。これにより、構成された計算素子が比較して少ないクロックサイクルで、従来のマイクロプロセッサまたはＤＳＰにサブルーチンとして呼び出される場合は、実行に何桁も多くのクロックサイクルを必要とし得るアルゴリズムを実行することができるため、さらなる効率性が得られる。

30

40

【００４６】

データおよび構成情報の混合としてこのシルバーウェアモジュールを使用することは、複数の異種で固定の計算素子２５０の適応性があり異なる異種の計算ユニット２００およびマトリックス１５０を形成するリアルタイムの再構成可能性と併せて、ＡＣＥ１００のアーキテクチャに複数の異なる動作モードを持たせることを可能にする。例えば、ハンドヘルド装置内に含められる場合、対応するシルバーウェアモジュールが与えられていれば、

50

A C E 1 0 0 は、セルラ方式または他の携帯電話、音楽プレーヤ、ページャ、個人情報端末、および他の新しいもしくは既存の機能等様々な異なる動作モードを有することができる。加えて、装置の物理的な場所に基づいて、これら動作モードを変更することができ、例えば、米国内で使用する C D M A 携帯電話として構成されている場合、A C E 1 0 0 を欧州で使用する G S M 携帯電話として構成することができる。

【 0 0 4 7 】

再び図 4 を参照して、コントローラ 1 2 0 (好ましくは、有限状態マシンとして構成されたマトリックス (K A R C) 1 5 0 A およびマトリックス (M A R C) 1 5 0 B) の機能についてシルバーウェアモジュール、すなわち単一の情報ストリーム内のデータおよび構成情報の密結合を参照して、複数の潜在的な動作モードを参照して、再構成可能マトリックス 1 5 0 を参照して、また図 3 に示す再構成可能計算ユニット 2 0 0 および計算素子 1 5 0 を参照して説明することができる。上に示したように、シルバーウェアモジュールを通して、A C E 1 0 0 は、新しい技術標準へのアップグレードまたはまったく新しい機能の追加、例えば移動体通信装置への音楽機能の追加等、新しいまたは追加の機能を実行するように構成または再構成することができる。このようなシルバーウェアモジュールは、メモリ 1 4 0 のマトリックス 1 5 0 に格納してもよく、または例えば、マトリックス相互接続ネットワーク 1 1 0 を通して外部 (有線および無線) ソースから入力してもよい。好ましい実施形態では、複数のマトリックス 1 5 0 のうちの 1 つが、セキュリティ目的のためにこのようなモジュールを解釈し、その有効性を確認するように構成される。次に、既存の A C E 1 0 0 資源をいずれも構成または再構成する前に、コントローラ 1 2 0 は、マトリックス (K A R C) 1 5 0 A を通して、すでに存在しているいずれの機能にも悪影響を及ぼすことなく、構成または再構成を行うことができること、例えば音楽機能の追加がすでに存在している移動体通信機能に悪影響を及ぼすか否か等、をチェックして確認する。好ましい実施形態では、このような構成または再構成のシステム要件はシルバーウェアモジュール内に含められ、この評価機能を実行する際にマトリックス (K A R C) 1 5 0 A によって使用される。このような悪影響なしで構成または再構成を行うことができる場合、シルバーウェアモジュールをメモリ 1 4 0 のマトリックス 1 5 0 内にロードすることが許され、マトリックス (K A R C) 1 5 0 A が、メモリ 1 4 0 のマトリックス 1 5 0 C および 1 5 0 D 内の D M A エンジン (または従来のメモリの他のスタンドアロン D M A エンジン) をセットアップする。構成または再構成がこのような悪影響を有する、または有し得る場合、マトリックス (K A R C) 1 5 0 A は、新しいモジュールを A C E 1 0 0 内に組み込むことを許可しない。

【 0 0 4 8 】

引き続き図 4 を参照して、マトリックス (M A R C) 1 5 0 B は、各種計算素子 2 5 0 および計算ユニット 2 0 0 の任意の構成または再構成を任意の対応する入力データおよび出力データと同期させるように、マトリックス 1 5 0 の資源のスケジューリングおよび任意の対応するデータのタイミングを管理する。好ましい実施形態では、タイミング情報もシルバーウェアモジュール内に含まれ、マトリックス (M A R C) 1 5 0 B が各種相互接続ネットワークを通して時間通りに、対応するデータが各種再構成後の計算ユニット 2 0 0 のいずれの入力にも現れる前に再構成が行われるように時を遅えず、好ましくはちょうどよいときに各種マトリックス 1 5 0 の再構成を指示することができる。加えて、マトリックス (M A R C) 1 5 0 B は、各種マトリックス 1 5 0 のうちの任意のマトリックス 1 5 0 内で加速されていない任意の残留処理も実行することができる。したがって、マトリックス (M A R C) 1 5 0 B は、マトリックス 1 5 0、計算ユニット 2 0 0、および計算素子 2 5 0 の構成および再構成を、これら各種再構成ハードウェアユニットによって利用される任意の対応するデータと同期させてリアルタイムで「呼び出す」とともに、任意の残留または他の制御処理を実行する制御ユニットと見ることができる。他のマトリックス 1 5 0 はこの制御機能も含むことができ、任意所与のマトリックス 1 5 0 が他のマトリックス 1 5 0 の構成および再構成を呼び出す、また制御することが可能である。

【 0 0 4 9 】

10

20

30

40

50

図5は、複数の計算ユニット200（計算ユニット200A～200Nとして示す）および複数の計算素子250（計算素子250A～250Zとして示す）を備え、好ましいタイプの計算素子250のさらなる実例および本発明の有用なまとめを提供する再構成マトリックス150をさらに詳細に示すブロック図である。図5に示すように、任意のマトリックス150は概して、マトリックスコントローラ230と、複数の計算（または演算）ユニット200と、マトリックス相互接続ネットワーク110の論理的または概念的な部分集合または一部として、データ相互接続ネットワーク240およびブール相互接続ネットワーク210と、を備える。上に述べたように、好ましい実施形態では、ACE100アーキテクチャ内の「深さ」が増すにつれて、相互接続ネットワークはますます豊富になり、適応可能性および再構成のレベルが増す。上にも述べたように、ブール相互接続ネットワーク210は、各種計算ユニット200間に再構成およびデータ相互接続能力を提供するとともに、好ましくは小さい（すなわち、数ビットのみの幅）が、データ相互接続ネットワーク240は、各種計算ユニット200間のデータの入出力について再構成およびデータ相互接続能力を提供するとともに、好ましくは比較的大きい（すなわち、多数ビット幅）。しかし、概念的に再構成およびデータ能力に分けられるが、マトリックス相互接続ネットワーク110の任意所与の物理部分は、随時、ブール相互接続ネットワーク210、データ相互接続ネットワーク240、最下位レベル相互接続220（各種計算素子250間で）、あるいは他の入力、出力、もしくは接続機能として動作することができることに留意されたい。

【0050】

引き続き図5を参照して、計算ユニット200内には、計算素子250A～250Z（個々に、また集合的に計算素子250と呼ばれる）として示される複数の計算素子250と、追加の相互接続220と、が含まれる。相互接続220は、再構成可能な相互接続能力および入力／出力パスを各種計算素子250間に提供する。上に示したように、各種計算素子250のそれぞれは、所与のタスクまたはある範囲のタスクを実行するように設計された専用の特定用途向けハードウェアからなり、複数の異なる固定計算素子250になる。相互接続220を利用して、固定計算素子250を再構成可能なように一緒に接続して適応性のある可変計算ユニット200にすることができ、これをさらに再構成し相互接続し、相互接続220、ブールネットワーク210、およびマトリックス相互接続ネットワーク110を利用して、上で考察したパイロット信号サーチまたはマルチパス受信および結合等のアルゴリズムまたは他の機能を随時実行することができる。

【0051】

好ましい実施形態では、各種計算素子250は、各種適応型再構成可能計算ユニット200（例えば、図5Aないし図9に示すように）構成され一緒にグループ化される。乗算、相関、または加算等、特定のアルゴリズムまたは機能を実行するように設計された計算素子250に加えて、好ましい実施形態では、他のタイプの計算素子250も利用される。図3に示すように、計算素子250Aおよび250Bはメモリを実施して、任意所与の計算または処理機能に（より「リモート」なメモリ140と比較して）ローカルなメモリ素子を提供する。加えて、計算素子250I、250J、250K、および250Lは、有限状態マシンを実施する（例えば、図7、図8、および図9に示す計算素子を使用して）ように構成されて、特に複雑な制御処理に適した（より「リモート」なマトリックス（MARC）150Bと比較して）ローカルな処理能力を提供する。

【0052】

利用可能であり得る各種タイプの異なる計算素子250を使用して、ACE100の所望の機能に応じて、計算ユニット200を大まかに分類することができる。第1の分類の計算ユニット200は、乗算、加算、有限インパルス応答フィルタリング等々（例えば、図7を参照して以下に示すように）線形演算を実行する計算素子250を含む。第2の分類の計算ユニット200は、離散コサイン変換、三角関数計算、および複素乗算等、非線形演算を実行する計算素子250を含む。第3のタイプの計算ユニット200は、複雑な制御シーケンス、動的スケジューリング、および入力／出力管理等に特に有用な、図5に示

し、図7ないし図9に関連して以下にさらに詳細に示す計算ユニット200C等の有限状態マシンを実施し、第4のタイプは、図4に示す計算ユニット200A等のメモリおよびメモリ管理を実施し得る。最後に、暗号化、解読、チャネル符号化、ビタビ復号化、ならびにパケットおよびプロトコル処理（インターネットプロトコル処理等）等のビットレベル処理を実行する第5のタイプの計算ユニット200を含めることができる。

【0053】

好ましい実施形態では、他のマトリックスまたはノード150からの制御に加えて、マトリックスコントローラ230も任意所与のマトリックス150内に含めることができ、それによってまた、任意の再構成プロセスおよび任意の対応するデータ処理のより高い参照局所性および制御が提供される。例えば、計算素子250の再構成が任意所与の計算ユニット250内で行われると、マトリックスコントローラ230は、その特定のインスタンス化（または構成）が特定の時間期間中、そのままの状態であり、例えば、所与のアプリケーションの反復データ処理を続けるように指示することができる。

10

【0054】

図6は、本発明による、再構成可能マトリックス150の例示的なまたは代表的な計算ユニット200をさらに詳細に示すブロック図である。図6に示すように、計算ユニット200は通常、複数の多様な異種固定計算素子250、例えば複数のメモリ計算素子250Aおよび250B、ならびに計算ユニット（「CU」）コア260を形成する複数のアルゴリズム的または有限状態マシン計算素子250C～250K、を含む。上で考察したように、複数の多様な計算素子250の各計算素子250は、加算または乗算等、特定の機能またはアルゴリズムを実行するように構成されるとともに、これに対応するロジックゲートレイアウトを有する固定または専用の特定用途向け回路である。加えて、各種メモリ計算素子250Aおよび250Bは、RAM（有意な深さを有する）または1もしくは2ビットの深さを有するレジスタ等、様々なビット深さで実施することができる。

20

【0055】

概念的データおよびブール相互接続ネットワーク240および210それぞれを形成するため、例示的な計算ユニット200は、複数の入力マルチプレクサ280、複数の入力ライン（またはワイヤ）281、およびCUコア260の出力用としての（ラインまたはワイヤ270として示される）複数の出力デマルチプレクサ285および290、ならびに複数の出力ライン（またはワイヤ）291も含む。入力マルチプレクサ280を通して、適当な入力ライン281を、データ変換ならびに構成および相互接続プロセスに使用する入力として選択することができ、出力デマルチプレクサ285および290を通して、1つの出力または複数の出力を選択された出力ライン291上に配置することができ、これもまたさらなるデータ変換ならびに構成および相互接続プロセスに使用される。

30

【0056】

好ましい実施形態では、各種入力および出力ライン281および291の選択、ならびに相互接続（210、220、および240）を通しての各種接続の作成は、以下に考察するように計算ユニットコントローラ255からの制御ビット265の制御下にある。これら制御ビット265に基づいて、各種入力イネーブル251、入力選択252、出力選択253、MUX選択254、DEMUXイネーブル256、DEMUX選択257、およびDEMUX出力選択258のいずれもアクティブ化または非アクティブ化することができる。

40

【0057】

例示的な計算ユニット200は、制御ビット265を通して、各計算素子250、相互接続（210、220、および240）、および他の素子（上）がクロックサイクル毎に何をするかを制御する計算ユニットコントローラ255を含む。別個に示していないが、相互接続（210、220、および240）を通して、各種制御ビット265は、必要であり得るときに、各種入力イネーブル251、入力選択252、出力選択253、MUX選択254、DEMUXイネーブル256、DEMUX選択257、およびDEMUX出力選択258等、計算ユニット200の各種部分に配られる。CUコントローラ295は、

50

制御（または構成）情報を受け取り、また状態情報を伝送するための1つまたは複数のライン295も含む。

【0058】

上に述べたように、相互接続は、上に述べたように様々なビット幅のデータ相互接続ネットワーク240およびブール相互接続ネットワーク210という概念的な区分を含み得る。概して、（幅広の）データ相互接続ネットワーク240が、構成可能かつ再構成可能な接続の作成、データおよび構成情報の対応するルーティングに利用される。（幅狭の）ブール相互接続ネットワーク210は、構成可能かつ再構成可能な接続の作成にも利用されるが、各種データフローグラフのロジック（またはブール）判定の制御、かかるDFGでの判定ノードの生成に利用され、かかるDFG内のデータルーティングにも使用することができる。

10

【0059】

図7は、本発明による、複数の異なる固定計算素子を有する例示的な好ましい多機能適応計算ユニット500を詳細に示すブロック図である。本発明に従って構成された場合、適応計算ユニット500は関連出願にて考察される多種多様な機能、例えば有限インパルス応答フィルタ、高速フーリエ変換、および離散コサイン変換等の他の機能を実行する。図示のように、この多機能適応計算ユニット500は、入力メモリ520、データメモリ525、レジスタ530（レジスタ530A～530Qとして示される）、乗算器540（乗算器540A～540Dとして示される）、加算器545、第1の論理演算装置（ALU）550（ALU__1 550A～550Dとして示される）、第2の論理演算装置（ALU）555（ALU__2 555A～555Dとして示される）、およびパイプライン（長さ1）レジスタ560を含む複数の固定計算素子を複数に構成する能力を含み、入力505、ライン515、出力570、およびマルチプレクサ（MUXまたはMX）510（MUXおよびMX510A～510KKとして示される）が相互接続ネットワーク（210、220、および240）を形成する。2つの異なるALU550および555は、例えば並列加算および減算演算に利用されることが好ましく、離散コサイン変換での二進演算に特に有用である。

20

【0060】

図8は、本発明による、複数の固定計算素子を有する好ましい適応ロジックプロセッサ（ALP）計算ユニット600を詳細に示すブロック図である。ALP600はかなり高い適応性を有し、好ましくは、入力／出力構成、有限状態マシンの実施、汎用的な現場でのプログラム可能性、およびビット処理に利用される。ALP600の固定計算素子は、図10には別個に示される、複数の適応コアセル（CC）610（図9）のそれぞれの一部（650）である。相互接続ネットワーク（210、220、および240）は、複数の垂直入力（VI）615、垂直中継器（VR）620、垂直出力（VO）625、水平中継器（HR）630、水平終端器（HT）635、および水平コントローラ（HC）640を様々な組み合わせたもの、また並べ替えたものから形成される。

30

【0061】

図9は、本発明による、固定計算素子650を有する適応ロジックプロセッサ計算ユニット600の好ましいコアセル610をさらに詳細に示すブロック図である。固定計算素子は、図10に別個に示される3入力-2出力関数発生器550である。好ましいコアセル610は、制御ロジック655、制御入力665、制御出力670（出力相互接続を提供）、出力675、および入力（相互接続MUXを有する）660（入力相互接続を提供）も含む。

40

【0062】

図10は、本発明による、適応ロジックプロセッサ計算ユニット600のコアセル610の好ましい固定計算素子650をさらに詳細に示すブロック図である。固定計算素子650は、固定レイアウトの複数の排他的NOR（XNOR）ゲート680、NORゲート685、NANDゲート690、および排他的OR（XOR）ゲート695からなり、3つの入力720および2つの出力710を有する。構成および相互接続は、MUX705お

50

よび相互接続入力 730 を通して提供される。

【0063】

上の考察から明らかであり得るように、異種の計算ユニット (200) を形成するように構成および再構成可能であり、またさらに異種のマトリックス 150 を形成するように構成および再構成可能なこの複数の固定で異種の計算素子 (250) の使用は、様々なレベルの相互接続 (110、210、240、および 220) を通して、適応計算アーキテクチャと呼ぶことのできるまったく新しいクラスまたはカテゴリの集積回路が作成される。本発明の適応計算アーキテクチャは、FPGA、ASIC、またはプロセッサの範疇またはカテゴリ内では、概念の観点または名称の観点から適宜特徴付けることができないことに留意されたい。例えば、適応計算アーキテクチャは同一論理装置のアレイも、より単純には任意の種類の反復アレイも含まないため、適応計算アーキテクチャの非FPGA特徴が速やかに認められる。また、例えば、適応計算アーキテクチャは特定用途向けではなく、複数の機能モードを提供し、リアルタイムで再構成可能であるため、適応計算アーキテクチャの非ASIC特徴も速やかに認められる。例を続けると、適応計算アーキテクチャは、命令の実行に焦点を合わせ、データ処理が副産物として行われるのではなく、直接データに対して働くように構成されるため、適応計算アーキテクチャの非プロセッサ特徴が速やかに認められる。

10

【0064】

本発明のさらなる追加の利点が当業者にさらに明らかになろう。本発明のACE100アーキテクチャは、潜在的な欠点を最小限に抑えながら、プロセッサ、ASICおよびFPGAの様々な利点を効果的かつ効率的に組み合わせることで最大化する。ACE100は、プロセッサのプログラミング柔軟性、FPGAの組立後柔軟性、およびASICの高速要素および高利用率要素を含む。ACE100は、リアルタイムで容易に再構成可能であり、対応する複数の動作モードを有することが可能である。加えて、再構成可能加速に特定の機能を選択することにより、ACE100は電力の消費を最小限に抑え、ハンドヘルド装置および他のバッテリー電源装置に使用するなど低電力消費に適している。

20

【0065】

本発明による動的なサーチおよびマルチパス受信の適応型再構成可能マルチモードレイク受信機50は、さらに多くの利点を提供する。限られた計算素子資源をマルチパス受信機能とサーチ機能とに動的に割り振ることで、マルチパス受信の向上により伝送品質が高くなる、またサーチ能力の増大および向上により通話断または品質劣化通話が少なくなるなど、数種類かの向上したシステムパフォーマンスが提供される。加えて、拡散コード長を増大しながら、同時にマルチパス受信用のレイクフィンガの数を増やす必要がある場合があり、これによりサーチおよび相関要件が加わることになる3GまたはCDMA2000等の次世代システムには、本発明による限られた計算素子資源をマルチパス受信機能とサーチ機能とに動的に割り振ることは特に有用で時期を得たものであり、費用効率的で節電の解決策を提供してパフォーマンスおよび処理能力を上げる要件に対処する。

30

【0066】

上記から、本発明の新規概念の精神および範囲から逸脱することなく、多くの変形および変更を行い得ることが観察されよう。本明細書に示した特定の方法および装置に関する限定を意図していない、またはそのように推論すべきではないことを理解されたい。もちろん、併記の特許請求の範囲により、特許請求の範囲内にあるこのような変更がすべてを網羅することを意図する。

40

【図面の簡単な説明】

【0067】

【図1】 動的なサーチおよびマルチパス受信のための、本発明による好ましい適応型再構成可能マルチモードレイク受信機を示すブロック図である。

【図2】 動的なサーチおよびマルチパス受信のための、本発明による適応型再構成可能マルチモードレイクフィンガを示すブロック図である。

【図3】 動的なサーチおよびマルチパス受信のための、本発明による好ましい適応型再構

50

成可能マルチモードレイク受信の方法を示す流れ図である。

【図 4】本発明による好ましい適応計算エンジン（ACE）の実施形態を示すブロック図である。

【図 5】本発明による再構成可能マトリックス、複数の計算ユニット、および複数の計算素子を示すブロック図である。

【図6】本発明による再構成可能マトリックスの計算ユニットをさらに詳細に示すブロック図である。

【図 7】複数の異なる固定の計算素子を有する、本発明による好ましい多機能適応計算ユニットを詳細に示すブロック図である。

【図 7 A】複数の異なる固定の計算素子を有する、本発明による好ましい多機能適応計算ユニットを詳細に示すブロック図である。

【図 7 B】複数の異なる固定の計算素子を有する、本発明による好ましい多機能適応計算ユニットを詳細に示すブロック図である。

【図 7 C】複数の異なる固定の計算素子を有する、本発明による好ましい多機能適応計算ユニットを詳細に示すブロック図である。

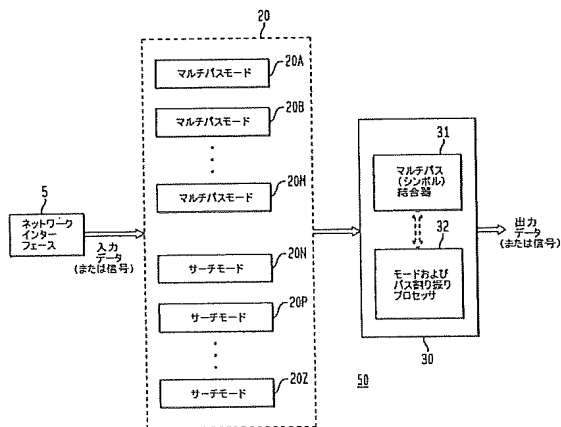
【図 7 D】複数の異なる固定の計算素子を有する、本発明による好ましい多機能適応計算ユニットを詳細に示すブロック図である。

【図 8】複数の固定の計算素子を有する、本発明による好ましい適応ロジックプロセッサ計算ユニットを詳細に示すブロック図である。

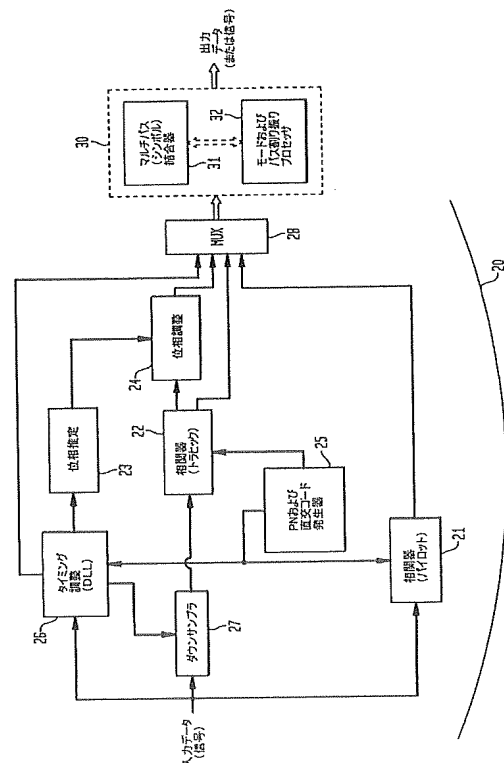
【図 9】本発明による、固定計算素子を有する適応ロジックプロセッサ計算ユニットの好ましいコアセルをさらに詳細に示すブロック図である。

【図 10】本発明による、適応ロジックプロセッサ計算ユニットのコアセルの好ましい固定計算素子をさらに詳細に示すブロック図である。

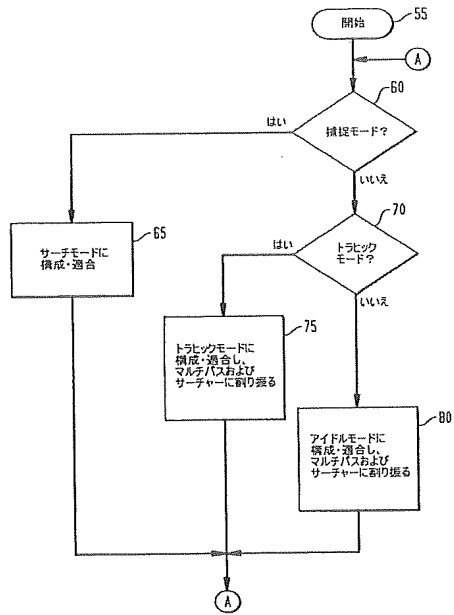
【 図 1 】



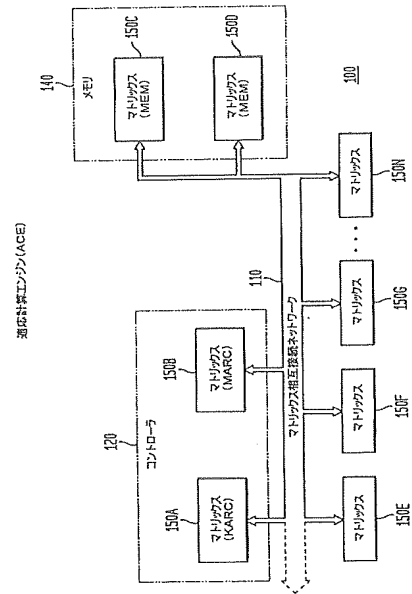
【 図 2 】



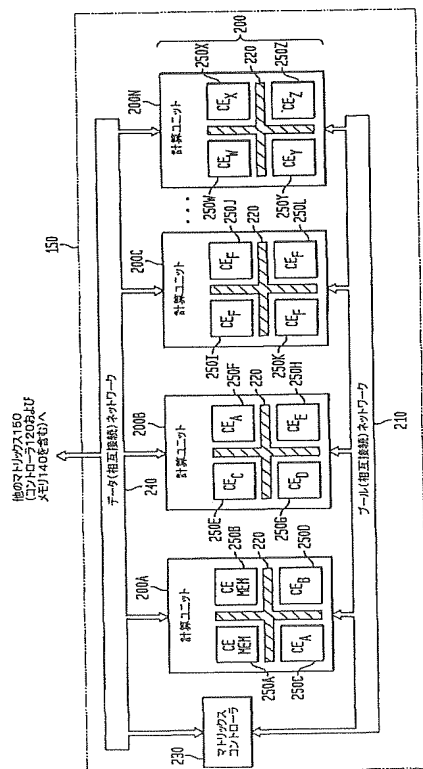
【圖 3】



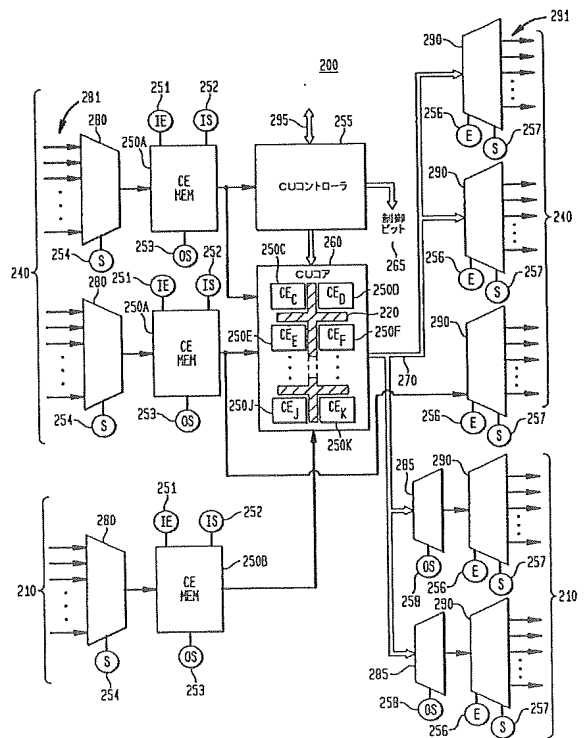
【圖 4】



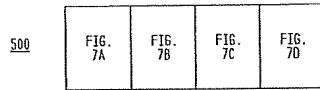
【图 5】



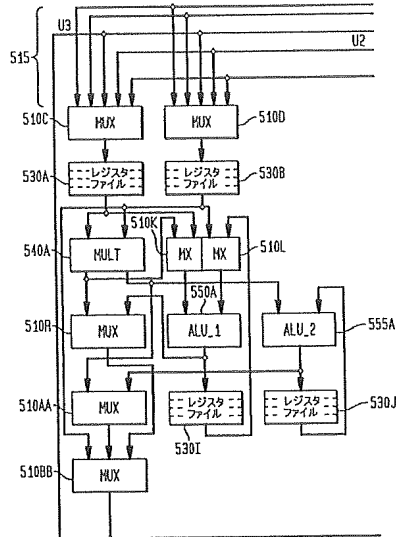
【 図 6 】



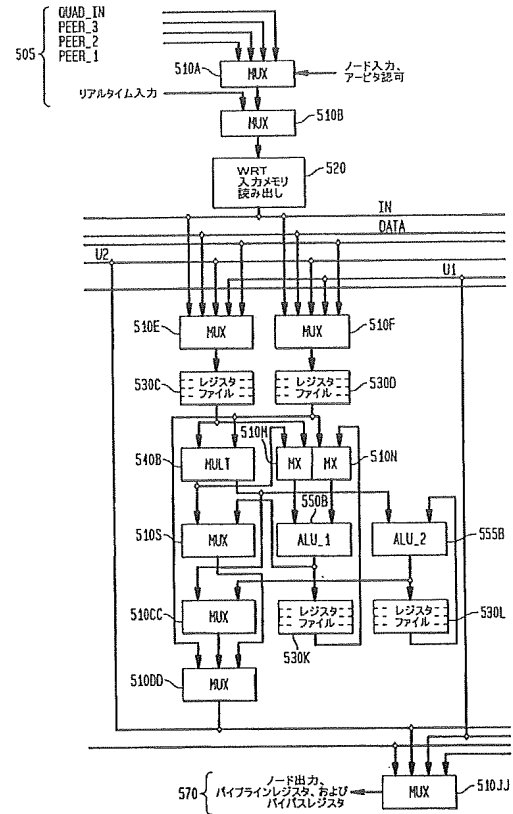
【図 7】



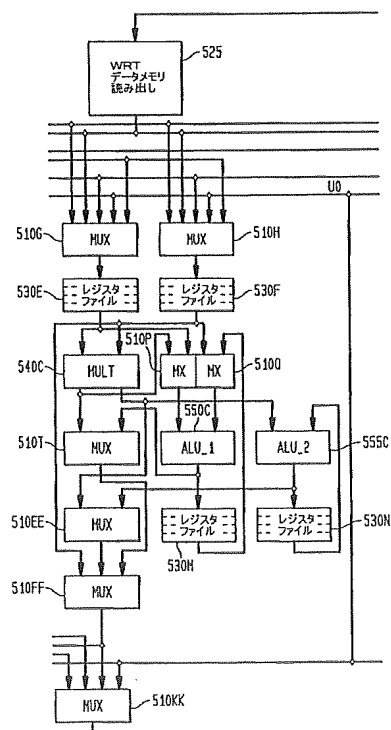
【図 7 A】



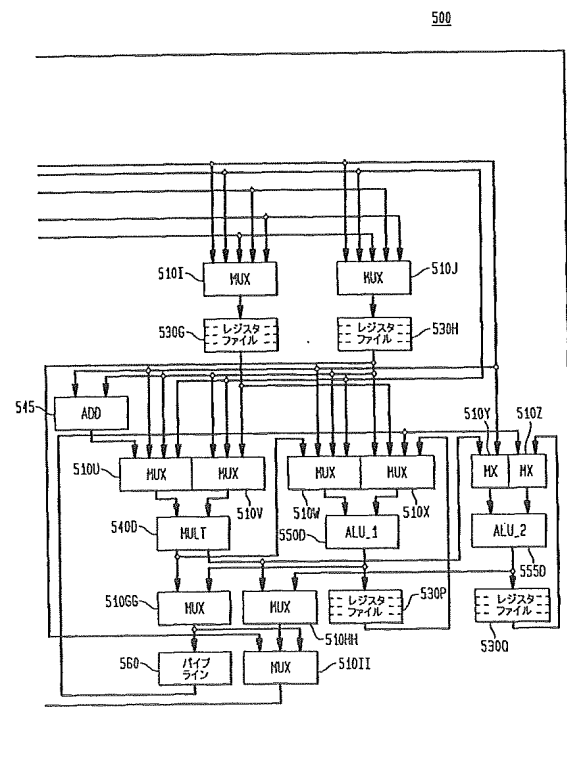
【図 7 B】



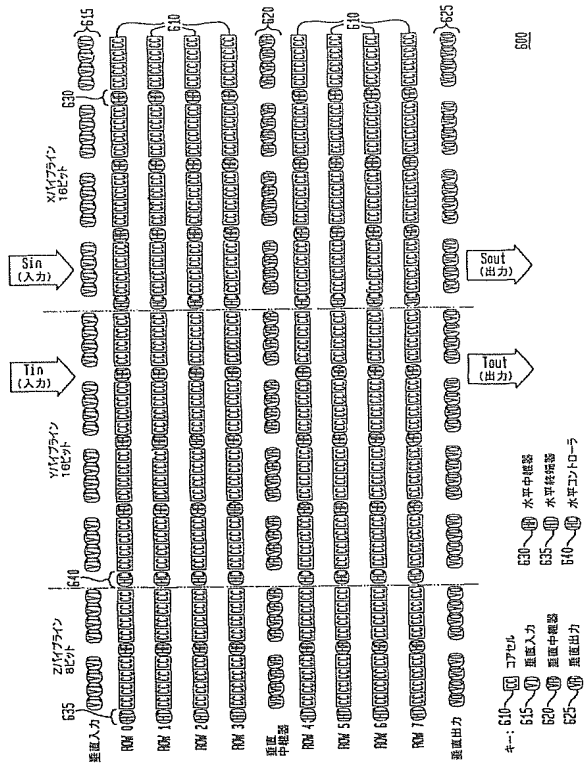
【図 7 C】



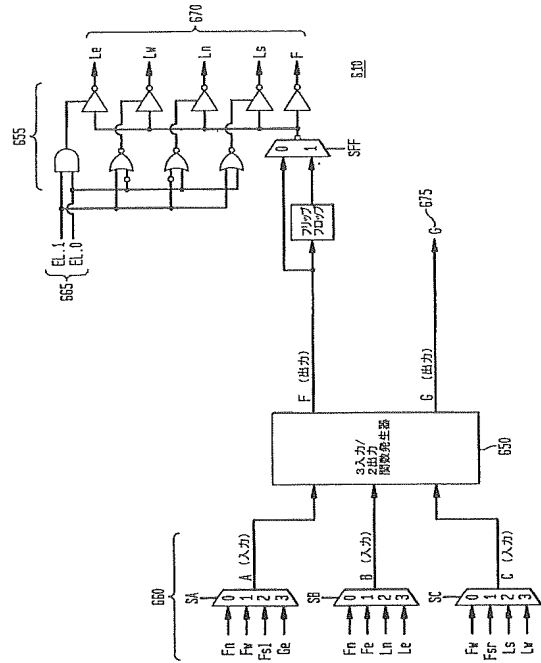
【図 7 D】



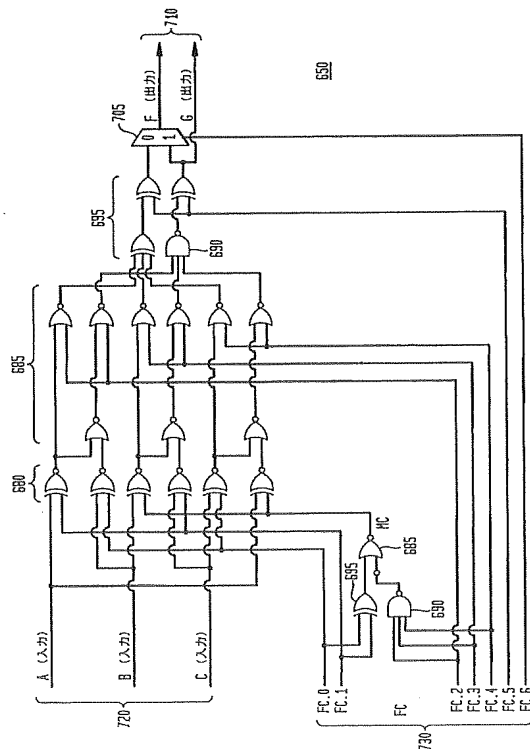
【図 8】



【図 9】



【図 10】



(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)



PCT

[illegible]

(B1) Designated States (national): AU, AG, AI, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EE, ES, FI, GB, GD, GE, GI, GM, GR, GU, HK, IL, IN, JP, KE, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MU, MY, NG, NO, NZ, OM, PH, PL, PT, RO, RU, SI, SK, SL, SK, SI, TJ, TM, TN, TR, TT, TZ, UA, UG, UZ, VN, YU, ZA, ZM, ZW.

CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GL, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MY, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, UZ, VN, YU, ZA, ZM, ZW.

LR, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW,
MX, MZ, NO, NZ, OM, PH, PI, PT, RO, RU, SD, SE, SG,
SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, UZ, VN,
YU, ZA, ZM, ZW.

YU, ZA, ZM, ZW.

(84) Designated States (regional): ARIPO patent (GII, GM, ...)

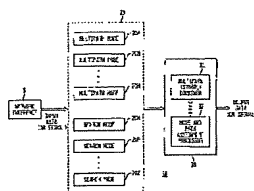
(84) Designated States (regional): ARIPO patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European patent (AT, BE, CH, CY, DE, DK, ES, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OAPI patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

(BF, BJ, CF, CD, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Published:
— with international search report
before the expiration of the time limit for amending the
claims and to be republished in the event of receipt of
amendments

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

(54) Title: ADAPTIVE MULTIMODE RAKE RECEIVER FOR DYNAMIC SEARCH AND MULTIPATH RECEPTION



(57) Abstract: The present invention concerns a new type of rake receiver, namely, a multimode rake receiver, which may be included within either a mobile station or a base station, and which has dynamic pilot signal searching and multipath reception and combining capability, for CDMA, cdma2000, W-CDMA, or other mobile communication systems. The adaptive, multimode rake receiver includes a network interface, a plurality of adaptive multimode rake fingers, and a multimode processor. Each adaptive multimode rake finger and the multimode processor are responsive to first configuration information (a first mode signal) to configure for a path reception functional mode and are further responsive to second configuration information (a second mode signal) to configure for a searcher functional mode, providing the multimode rake receiver with acquisition, traffic, and soft handoff operation. In one embodiment, the multimode rake receiver is implemented with a plurality of programmable logic elements coupled to an interconnection network, to form adaptive and reconfigurable multimode rake fingers and a multimode processor, for a plurality of different functional modes, including pilot signal searching and multipath reception and combination.

WO 02/098012

PCT/US02/16044

ADAPTIVE, MULTIMODE RAKE RECEIVER
FOR DYNAMIC SEARCH AND MULTIPATH RECEPTION

5 **Field of the Invention**

 The present invention relates, in general, to integrated circuits and, more particularly, to adaptive and reconfigurable integrated circuitry for multimode rake reception for dynamic search and multipath reception, utilized, for example, in CDMA, cdma2000, W-CDMA, or any other direct-sequence spread spectrum
10 communication systems.

Cross-Reference to Related Application

 This application is related to Paul L. Master et al., U. S. Patent Application Serial No. 09/815,122, entitled "Adaptive Integrated Circuitry With Heterogeneous And Reconfigurable Matrices Of Diverse And Adaptive
15 Computational Units Having Fixed, Application Specific Computational Elements", filed March 22, 2001 and commonly assigned to QuickSilver Technology, Inc., and incorporated by reference herein, with priority claimed for all commonly disclosed subject matter (the "related application").

20

Background of the Invention

 Code Division Multiple Access ("CDMA"), cdma2000, and "W-CDMA mobile communication systems are increasingly deployed (or planned to be deployed) to accommodate increasing usage levels of mobile communication
25 technologies. Within these communication systems, and more particularly within base stations and mobile stations (or mobile units, such as CDMA mobile telephones or multimedia devices), a "rake" receiver is employed for multipath reception, to add both spatial diversity and time diversity to the communication system.

 A rake receiver includes a plurality of "rake fingers", which are used
30 for this multipath reception, and a designated searcher (with various searching windows). Such a searcher is employed to determine the available multipaths, to which the rake fingers are then assigned. In addition, within mobile stations, the

WO 02/098012

PCT/US02/16044

2

searcher is also employed for system (pilot signal) acquisition, potential soft hand-off functions, and in general, to monitor a plurality of pilot signals or channels transmitted from a corresponding plurality of base stations, for ongoing, continuous selection of a currently strongest transmitted signal from a base station.

5 Current CDMA implementations of rake receivers employ a fixed number of rake fingers in mobile stations and in base stations. In mobile stations, typically three rake fingers are used to receive up to three multipaths, and one searcher is used to monitor the available or upcoming multipaths and base station signals, for example. Such a fixed number of fingers or searcher, each dedicated for
10 either multipath reception or searching, respectively, may result in unacceptable delays (such as delays in system acquisition), dropped calls, degraded calls, or other poor system performance.

 In addition, implementations of proposed technologies such as cdma2000 and wideband CDMA (W-CDMA) may require or may be optimized with
15 use of additional rake fingers in traffic mode for multipath reception and additional searchers for searching signal or channel selection, each with additional complexity to accommodate larger spreading (pseudorandom noise or "PN") codes or sequences and orthogonal functions. Such use of additional, fixed and dedicated integrated circuit ("IC") hardware, however, may increase the complexity and cost of the rake receiver,
20 and may increase power consumption, with potential detrimental effects on battery life and corresponding talk or traffic time.

 As a consequence, a need remains to provide an adaptive and reconfigurable rake receiver, which may be dynamically optimized in real time for multimode functionality, for both multipath reception and searching functions. Such
25 an adaptive and reconfigurable rake receiver should also minimize power consumption and should be suitable for low power applications, such as for use in hand-held and other battery-powered devices.

Summary of the Invention

30 The present invention concerns a new type of rake receiver, namely, a multimode rake receiver, which may be included within either a mobile station or a base station, and which has dynamic pilot signal searching and multipath reception

WO 02/098012

PCT/US02/16044

3

and combining capability, for CDMA, PCS, 3G or other mobile communication systems. The multimode rake receiver of the present invention may be implemented utilizing existing forms of integrated circuitry, or preferably implemented utilizing a new category of integrated circuitry and a new methodology for adaptive or reconfigurable computing.

In addition, the preferred multimode rake receiver of the present invention provides multiple modes of operation, a system acquisition mode, a traffic mode, and an idle mode. The present invention recognizes that in certain modes of operation, system acquisition more and idle mode, there is typically no need for more than one rake finger (zero in system acquisition, and one in idle mode), and any additional rake fingers in these modes would be a waste of IC material. Instead, in accordance with the invention, multiple searchers would be useful in these modes to increase system acquisition speed or neighbor searches. Also, in traffic mode, the exact number of multipaths or base station signals to receive is dynamically variable due to fading channels. Hence, the present invention provides the capability to dynamically swap rake fingers with searchers in order to enhance the performance of the receiver, depending on the current state of the radio frequency (RF) environment.

The preferred IC embodiment includes a plurality of heterogeneous computational elements coupled to an interconnection network, forming multimode rake fingers. The plurality of heterogeneous computational elements include corresponding computational elements having fixed and differing architectures, such as fixed architectures for different functions such as memory, addition, multiplication, complex multiplication, subtraction, configuration, reconfiguration, control, input, output, and field programmability. In response to configuration information, the interconnection network is operative in real-time to configure and reconfigure the plurality of heterogeneous computational elements for a plurality of different functional modes, including pilot signal searching and multipath reception and combination.

More particularly, the preferred apparatus includes a network interface, a plurality of adaptive multimode rake fingers, and a multimode processor. Each adaptive multimode rake finger of the plurality of adaptive multimode rake fingers is responsive to first configuration information (a first or path mode signal) to configure

WO 02/098012

PCT/US02/16044

4

for a path reception functional mode and is further responsive to second configuration information (a second or search mode signal) to configure for a searcher functional mode. The multimode processor is also responsive to the first configuration information (the first or path mode signal) to configure for the path reception functional mode and is further responsive to the second configuration information (the second or search mode signal) to configure for the searcher functional mode.

In accordance with the present invention, when the multimode rake receiver is in a system acquisition mode, all adaptive multimode rake fingers and the multimode processor are configured for the searcher functional mode. In a traffic mode, subsets of the adaptive multimode rake fingers and the multimode processor are configured for the searcher functional mode or for the path reception mode, dynamically, depending upon factors such as pilot signal strength and the number of available multipaths. In an idle mode, subsets of the adaptive multimode rake fingers and the multimode processor may also be configured for a power savings mode.

The present invention preferably utilizes a new form or type of integrated circuitry which effectively and efficiently combines and maximizes the various advantages of processors, application specific integrated circuits ("ASICs"), and field programmable gate arrays ("FPGAs"), while minimizing potential disadvantages. In accordance with the present invention, such a new form or type of integrated circuit, referred to as an adaptive computing engine (ACE), is disclosed which provides the programming flexibility of a processor, the post-fabrication flexibility of FPGAs, and the high speed and high utilization factors of an ASIC. The ACE integrated circuitry of the present invention is readily reconfigurable, in real-time, is capable of having corresponding, multiple modes of operation, and further minimizes power consumption while increasing performance, with particular suitability for low power applications, such as for use in hand-held and other battery-powered devices.

The ACE architecture of the present invention, for adaptive or reconfigurable computing, includes a plurality of heterogeneous computational elements coupled to an interconnection network, rather than the homogeneous units of FPGAs. The plurality of heterogeneous computational elements include corresponding computational elements having fixed and differing architectures, such

WO 02/098012

PCT/US02/16044

5

as fixed architectures for different functions such as memory, addition, multiplication, complex multiplication, subtraction, configuration, reconfiguration, control, input, output, and field programmability. In response to configuration information, the interconnection network is operative in real-time to configure and reconfigure the plurality of heterogeneous computational elements for a plurality of different functional modes, including linear algorithmic operations, non-linear algorithmic operations, finite state machine operations, memory operations, and bit-level manipulations.

As illustrated and discussed in greater detail below, the ACE architecture provides a single IC, which may be configured and reconfigured in real-time, using these fixed and application specific computation elements, to perform a wide variety of tasks. In the preferred embodiment, the ACE architecture forms a plurality of adaptive rake fingers, utilizing elements such as correlators, phase estimators, and phase correctors, which may be dynamically configured and reconfigured for multipath reception and for searching (of both base station signals and available multipaths thereof).

Numerous other advantages and features of the present invention will become readily apparent from the following detailed description of the invention and the embodiments thereof, from the claims and from the accompanying drawings.

20

Brief Description of the Drawings

Figure 1 is a block diagram illustrating a preferred adaptive and reconfigurable multimode rake receiver, for dynamic search and multipath reception, in accordance with the present invention.

Figure 2 is a block diagram illustrating an adaptive and reconfigurable multimode rake finger, for dynamic search and multipath reception, in accordance with the present invention.

Figure 3 is a flow diagram illustrating a method for preferred adaptive and reconfigurable multimode rake reception, for dynamic search and multipath reception, in accordance with the present invention.

Figure 4 is a block diagram illustrating a preferred adaptive computing engine (ACE) embodiment in accordance with the present invention.

WO 02/098012

PCT/US02/16044

6

Figure 5 is a block diagram illustrating a reconfigurable matrix, a plurality of computation units, and a plurality of computational elements, in accordance with the present invention.

5 Figure 6 is a block diagram illustrating, in greater detail, a computational unit of a reconfigurable matrix in accordance with the present invention.

Figure 7 is a block diagram illustrating, in detail, a preferred multi-function adaptive computational unit having a plurality of different, fixed computational elements, in accordance with the present invention.

10 Figure 8 is a block diagram illustrating, in detail, a preferred adaptive logic processor computational unit having a plurality of fixed computational elements, in accordance with the present invention.

Figure 9 is a block diagram illustrating, in greater detail, a preferred core cell of an adaptive logic processor computational unit with a fixed computational element, in accordance with the present invention.

15 Figure 10 is a block diagram illustrating, in greater detail, a preferred fixed computational element of a core cell of an adaptive logic processor computational unit, in accordance with the present invention.

20 Detailed Description of the Invention

While the present invention is susceptible of embodiment in many different forms, there are shown in the drawings and will be described herein in detail specific embodiments thereof, with the understanding that the present disclosure is to be considered as an exemplification of the principles of the invention and is not intended to limit the invention to the specific embodiments illustrated.

25 As indicated above, a need remains for an adaptive and reconfigurable rake receiver, which may be dynamically optimized in real time for multimode functionality, for both multipath reception and searching functions. Such an adaptive and reconfigurable rake receiver is provided in accordance with the present invention, which utilizes a new form of integrated circuitry, referred to as an adaptive computing engine ("ACE"). The present invention utilizes a plurality of fixed computational elements which may be configured and reconfigured in real time to form the

30

WO 02/098012

PCT/US02/16044

7

functional blocks (computational units and matrices) which may be needed, at any given time, for searching or multipath reception functions, such as correlators, multipliers, demodulators, and combiners. Such an adaptive and reconfigurable rake receiver, in accordance with the present invention, also minimizes power consumption and is especially suitable for low power applications, such as for use in hand-held and other battery-powered devices.

Figure 1 is a block diagram illustrating a preferred adaptive and reconfigurable multimode rake receiver 50, for dynamic search and multipath reception, in accordance with the present invention. As mentioned above, such a multimode rake receiver 50 is preferably implemented as one or more matrices 150 (with corresponding interconnection networks) of an ACE apparatus 100, as discussed in detail below with reference to Figures 4 – 10. The adaptive, multimode rake receiver 50 of the present invention may also be implemented as illustrated in Figure 2, discussed in greater detail below. The multimode rake receiver 50, in accordance with the present invention, may be included within any communication system or apparatus requiring multipath reception and searching functionality, such as within base stations and mobile stations of CDMA, cdma2000, and W-CDMA mobile communication systems or other wireless communication systems.

Referring to Figure 1, the adaptive, multimode rake receiver 50 includes a plurality of multimode rake fingers 20 operably coupled to a network interface 5, and a multimode processing unit 30. The network interface 5 is typically operably connected to an antenna (not separately illustrated in Figure 1), and includes functions such as analog-to-digital (A/D) conversion, filtering, and other intermediate frequency processing, providing a baseband, digital input signal to the adaptive multimode rake fingers 20. The multimode processing unit 30 includes functional blocks for multipath (symbol) combining (31) (producing an output signal for de-interleaving and channel decoding) and finger and mode assignment processing (32) (producing finger path assignment signals and mode configuration signals (information) to direct rake finger configuration for either path reception or search functional modes, discussed below). (For ease of explanation, other components which may otherwise be included in a conventional or known rake receiver are not separately illustrated in Figure 1.)

WO 02/098012

PCT/US02/16044

8

Also not separately illustrated in Figure 1, but as discussed in greater detail below with reference to Figures 4 - 10, each multimode rake finger 20 generally includes a plurality of computational units 200, which further include a plurality of fixed computational elements 250. These fixed computational elements 250 may be adaptively configured and reconfigured, in real time, to form computational units 200 having either path reception or searcher functionality, including despreading (multiplication with a selected pseudo-noise (pseudorandom noise or "PN") and/or orthogonal codes or sequences), correlation, phase tracking (estimation), and phase adjustment (illustrated in Figure 2). Similarly, the multimode processing unit 30 is also comprised of fixed computational elements 250 which may be configured and reconfigured into computational units 200. As a consequence, the multimode processing unit 30 is also configured or reconfigured for comparative or relative emphasis on path reception or searcher functionality, namely, as a multipath combiner 31 or as a mode and path assignment processor 32, as illustrated in Figures 1 and 2. In addition, these various computational elements 250 may be configured and reconfigured for entirely different functions, as discussed in greater detail below.

As indicated above, each of the multimode rake fingers 20 preferably has at least two operating or functional modes, namely, a path reception mode, illustrated by multimode rake fingers 20A, 20B through 20M, and a search mode, illustrated by multimode rake fingers 20N, 20P through 20Z. As discussed in greater detail below, depending upon whether the multimode rake receiver 50 is in an acquisition mode, an idle mode, or a traffic mode, each multimode rake finger 20 (of the plurality of multimode rake fingers 20) may be configured or reconfigured for a particular rake receiver functional mode (a path (or multipath) reception mode or a search mode), may be maintained in an idle or unused mode, or may be utilized for another functionality altogether (*i.e.*, used for a different function within the ACE 100). In addition, in the preferred embodiment, one adaptive rake finger (20Z) is continually maintained in a searcher mode (when the ACE 100 (Fig. 4) is utilized for corresponding communication functions). Correspondingly, depending upon whether the multimode rake receiver 50 is in an acquisition mode, an idle mode, or a traffic mode, the multimode processing unit 30 will also have corresponding configurations or reconfigurations, with computational elements 250 configured or reconfigured for

WO 02/098012

PCT/US02/16044

9

comparative or relative emphasis on path reception or searcher functionality, *i.e.*, as a multipath combiner 31 or as a mode and path assignment processor 32. As a consequence, once the multimode processing unit 30 and the multimode rake fingers 20 are configured for path reception and searching functions, the multimode rake receiver 50 may operate as known in the art, *i.e.*, providing despreading, correlation, phase adjustment, multipath combining, multipath detection, and pilot signal searching.

For example, it may be supposed that a particular multimode rake receiver 50 implementation includes a plurality of computational elements 250 sufficient to form up to seven multimode rake fingers 20, and a plurality of computational elements 250 sufficient to accommodate corresponding processing in the multimode processing unit 30. When the multimode rake receiver 50 is in acquisition mode, such as when it has just powered on in a particular location and is trying to find a service provider, in accordance with the present invention, all of the available multimode rake fingers 20 are then configured in the search mode, examining all of the available PN codes at all available frequencies, to find a suitable base station having sufficient pilot signal strength. Correspondingly, for acquisition mode, the computational elements 250 of the multimode processing unit 30 are also configured solely for a searching mode, such as providing computational and memory resources for appropriate PN search windows to locate and prioritize available base stations, without providing additional capability for demodulation or multipath combining. As a consequence, in comparison with prior art implementations in which dedicated hardware is utilized to form one searcher within a mobile station, with a potentially unacceptable acquisition time, the multimode rake receiver 50 in acquisition mode, in accordance with the present invention, may proceed much more rapidly, approximately seven times as fast for the implementation mentioned above, providing system acquisition within a shorter time frame, and with greater reliability.

Conversely, following acquisition, the multimode rake receiver 50 may enter a traffic mode, in which the user may be involved, for example, in full-duplex voice or data transmission. Depending upon environmental and other conditions, the transmission may be subject to considerable fading or may have many dynamically changing multipaths. Depending upon these conditions, the computational elements

WO 02/098012

PCT/US02/16044

10

250 may be allocated, through configuration and reconfiguration, to provide appropriate levels of multipath reception or pilot searching. For example, under conditions of significant fading but few available multipaths, or under other hand-off conditions, multimode rake receiver 50 resources may be allocated to provide more significant searching, windowing and pilot signal tracking capability, resulting in fewer dropped or degraded calls. Also for example, under conditions with many available multipaths, multimode rake receiver 50 resources may be allocated to provide more significant path reception capability (*i.e.*, a comparatively greater number of multimode rake fingers 20 configured for path reception mode and a comparatively greater allocation of resources of the multimode processing unit 30 configured for multipath combining (31)), resulting in higher quality reception and improved system performance.

Figure 2 is a block diagram illustrating, in greater detail, an adaptive and reconfigurable multimode rake finger 20, for dynamic search and multipath reception, in accordance with the present invention. As illustrated in Figure 2, an adaptive, multimode rake finger 20 includes a plurality of correlators, such as a pilot correlator 21 for pilot signal(s) transmitted from one (or more) base stations, a channel (or traffic) correlator 22 for channel (Walsh or orthogonal code or sequence) determination and selection, and correlators (generally 2 - 3) included within timing adjustment block 26. The multimode rake finger 20 also includes a downsampler 27, a pseudorandom noise (PN) sequence and orthogonal (Walsh) code or sequence generator 25, and other functional blocks for phase estimation or tracking (23) and phase adjustment or correction (24). Timing adjustment block 26 preferably is implemented as a delay lock loop, which fine-tunes the sampling time within a chip period, using a sampling rate of eight-times (8x) the chip rate, for input into downsampling block (27), for use in providing sampled data input into correlator 22. The timing adjustment block 26 also preferably performs on-time (or real-time) de-spreading of the pilot channel, and the de-spread pilot symbols are then input into the phase estimation block 23. (In addition, also for ease of explanation, there may be other components which are not separately illustrated in Figure 2). In accordance with the present invention, the adaptive, multimode rake finger 20 may also include a multiplexer (or other switch) 28, illustrative of comparatively high-level (or

WO 02/098012

PCT/US02/16044

11

conceptual) configuration capability for configuration of the multimode rake finger 20 for path reception mode or for search mode. For example, and as discussed in greater detail below, the mode and path assignment processor 32 may configure an adaptive rake finger 20 for path reception mode, by transmitting a first (or path) mode signal to its corresponding multiplexer 28, and the mode and path assignment processor 32 may configure another adaptive rake finger 20 for search mode, by transmitting a second (or search) mode signal to its corresponding multiplexer 28, thereby directing an output of the correlator 21, correlator 22, and/or the output of the correlators of timing adjustment block 26 to the mode and path assignment processor 32 (search mode), or directing an output of the phase adjuster 24 to the multipath combiner 31 (path reception mode). More detailed and fine-grained adaptation and reconfiguration capability of a multimode rake finger 20 is illustrated and discussed below with reference to Figures 4 – 10.

Figure 3 is a high-level flow diagram illustrating a method for preferred adaptive and reconfigurable multimode rake reception, for dynamic search and multipath reception, in accordance with the present invention. The method begins, start step 55, with a determination of whether the multimode rake receiver 50 is in acquisition mode, step 60. When the multimode rake receiver 50 is in acquisition mode, the method proceeds to step 65, and configures and adapts the multimode rake receiver 50 for pilot signal searching. As discussed above, for the preferred embodiment in acquisition mode, all of the multimode rake fingers 20 and all resources of the multimode processing unit 30 are configured for search mode, to minimize pilot signal (or system) acquisition time and/or increase acquisition reliability.

When the multimode rake receiver 50 is not in acquisition mode in step 60, the method proceeds to step 70 and determines whether it is in traffic mode. When the multimode rake receiver 50 is in traffic mode, the method proceeds to step 75, and dynamically configures and adapts the multimode rake receiver 50 for the traffic mode, configuring and allocating resources for both multipath reception and pilot signal searching. As mentioned above, depending upon environmental and other conditions, relatively more or fewer resources may be allocated between searching and multipath reception functions. In general, the number of adaptive multimode rake

WO 02/098012

PCT/US02/16044

12

fingers configured for the searcher functional mode and the number of adaptive multimode rake fingers configured for path reception functional mode are dynamically determined based upon one or more of a plurality of channel-dependent parameters, including without limitation a pilot signal relative power level, a number of identified multipaths, a number of identified base stations, received traffic signal-to-noise ratio, and received traffic error rate.

For example, for an impending hand-off, comparatively more multimode rake fingers 20 (and corresponding multimode processing unit 30 resources) may be configured for searching, and following such a hand-off, comparatively more multimode rake fingers 20 (and corresponding multimode processing unit 30 resources) may be configured for multipath reception and combining. Also for example, when few multipaths are available, a correspondingly smaller allocation of multimode rake fingers 20 (and corresponding multimode processing unit 30 resources) may be configured for multipath reception and combining, with comparatively more resources remaining for configuration for searching, and vice-versa. Those of skill in the art will recognize that numerous algorithms and other allocation methods are known and available to provide such system allocation under various fading, multipath and other environmental conditions.

Continuing to refer to Figure 3, when the multimode rake receiver 50 is not in acquisition mode in step 60, and is not in traffic mode in step 70, the method proceeds to step 80, and dynamically configures and adapts the multimode rake receiver 50 for the idle mode, configuring and allocating resources primarily for intermittent pilot signal searching and intermittent checking for received pages (path reception). In addition, resources may be allocated for a power saving mode, with some of the adaptive rake finger 20 and multimode processor 30 resources configured for a sleep, low power, or powered-off mode. Following steps 65, 75 or 80, the method returns to step 60, for repeated iterations of the method for adaptive and reconfigurable multimode rake reception, in accordance with the present invention.

The adaptive and reconfigurable multimode rake receiver 50, for dynamic search and multipath reception, in accordance with the present invention, provides numerous advantages. First and foremost, for existing CDMA or PCS systems, the dynamic allocation of limited resources between multipath reception and

searching functionality provides several types of improved system performance, such as higher quality transmissions due to improved multipath reception, and fewer dropped or degraded calls due to increased and improved searching capability. In addition, next generation systems, such as cdma2000 or W-CDMA, may require an increased number of rake fingers for multipath reception, while simultaneously increasing spreading code lengths, resulting in additional searching and correlation requirements. The dynamic allocation of limited resources between multipath reception and searching functionality, in accordance with the present invention, is especially useful and timely, providing a cost-effective and power saving solution to address the requirements for increased performance and processing capability.

It should be noted that the adaptive, multimode rake receiver 50 of the present invention is not limited to configuration and reconfiguration of dedicated rake finger resources. Rather, the present invention extends to reconfiguring and allocating other, additional resources which may be currently available on an integrated circuit, on a dynamic basis, to solve the current problem at hand. More particularly, the set of overall resources which may be utilized for multipath reception and/or searching may be dynamically expanded or contracted over time based upon which resources are available at that time and based upon the priority of the problem to be solved. For example, when initially powered on, a mobile station may only be engaged in system acquisition, possibly involving only twenty percent of its IC resources. For the preferred ACE embodiment discussed below, in accordance with the present invention, the remaining resources (e.g., eighty percent of the ICs) which are typically involved in non-rake functions may be temporarily allocated and configured for searching functionality, followed by reconfiguration for other, subsequent functions.

Figure 4 is a block diagram illustrating a preferred apparatus 100 embodiment in accordance with the present invention. The apparatus 100, referred to herein as an adaptive computing engine ("ACE") 100, is preferably embodied as an integrated circuit, or as a portion of an integrated circuit having other, additional components. (The ACE 100 is also described in detail in the related application.) In the preferred embodiment, and as discussed in greater detail below, the ACE 100 includes one or more reconfigurable matrices (or nodes) 150, such as matrices 150A

WO 02/098012

PCT/US02/16044

14

through 150N as illustrated, and a matrix interconnection network 110. Also in the preferred embodiment, and as discussed in detail below, one or more of the matrices 150, such as matrices 150A and 150B, are configured for functionality as a controller 120, while other matrices, such as matrices 150C and 150D, are configured for
5 functionality as a memory 140. The various matrices 150 and matrix interconnection network 110 may also be implemented together as fractal subunits, which may be scaled from a few nodes to thousands of nodes. As mentioned above, in the preferred embodiment, the multimode rake receiver 50 of the present invention is embodied as an ACE 100 or as one or more matrices 150 (with corresponding interconnection
10 networks).

A significant departure from the prior art, the ACE 100 does not utilize traditional (and typically separate) data, DMA, random access, configuration and instruction busses for signaling and other transmission between and among the reconfigurable matrices 150, the controller 120, and the memory 140, or for other
15 input/output ("I/O") functionality. Rather, data, control and configuration information are transmitted between and among these matrix 150 elements, utilizing the matrix interconnection network 110, which may be configured and reconfigured, in real-time, to provide any given connection between and among the reconfigurable matrices 150, including those matrices 150 configured as the controller 120 and the memory
20 140, as discussed in greater detail below.

The matrices 150 configured to function as memory 140 may be implemented in any desired or preferred way, utilizing computational elements (discussed below) of fixed memory elements, and may be included within the ACE 100 or incorporated within another IC or portion of an IC. In the preferred
25 embodiment, the memory 140 is included within the ACE 100, and preferably is comprised of computational elements which are low power consumption random access memory (RAM), but also may be comprised of computational elements of any other form of memory, such as flash, DRAM, SRAM, MRAM, ROM, EPROM or E²PROM. In the preferred embodiment, the memory 140 preferably includes direct
30 memory access (DMA) engines, not separately illustrated.

The controller 120 is preferably implemented, using matrices 150A and 150B configured as adaptive finite state machines, as a reduced instruction set

WO 02/098012

PCT/US02/16044

15

("RISC") processor, controller or other device or IC capable of performing the two types of functionality discussed below. (Alternatively, these functions may be implemented utilizing a conventional RISC or other processor.) The first control functionality, referred to as "kernel" control, is illustrated as kernel controller ("KARC") of matrix 150A, and the second control functionality, referred to as "matrix" control, is illustrated as matrix controller ("MARC") of matrix 150B. The kernel and matrix control functions of the controller 120 are explained in greater detail below, with reference to the configurability and reconfigurability of the various matrices 150, and with reference to the preferred form of combined data, configuration and control information referred to herein as a "silverware" module.

The matrix interconnection network 110 of Figure 4, and its subset interconnection networks separately illustrated in Figures 3 and 4 (Boolean interconnection network 210, data interconnection network 240, and interconnect 220), collectively and generally referred to herein as "interconnect", "interconnection(s)" or "interconnection network(s)", may be implemented generally as known in the art, such as utilizing field programmable gate array ("FPGA") interconnection networks or switching fabrics, albeit in a considerably more varied fashion. In the preferred embodiment, the various interconnection networks are implemented as described, for example, in U.S. Patent No. 5,218,240, U.S. Patent No. 5,336,950, U.S. Patent No. 5,245,227, and U.S. Patent No. 5,144,166, and also as discussed below and as illustrated with reference to Figures 7, 8 and 9. These various interconnection networks provide selectable (or switchable) connections between and among the controller 120, the memory 140, the various matrices 150, and the computational units 200 and computational elements 250 discussed below, providing the physical basis for the configuration and reconfiguration referred to herein, in response to and under the control of configuration signaling generally referred to herein as "configuration information". In addition, the various interconnection networks (110, 210, 240 and 220) provide selectable or switchable data, input, output, control and configuration paths, between and among the controller 120, the memory 140, the various matrices 150, and the computational units 200 and computational elements 250, in lieu of any form of traditional or separate input/output busses, data busses, DMA, RAM, configuration and instruction busses.

WO 02/098012

PCT/US02/16044

16

It should be pointed out, however, that while any given switching or selecting operation of or within the various interconnection networks (110, 210, 240 and 220) may be implemented as known in the art, the design and layout of the various interconnection networks (110, 210, 240 and 220), in accordance with the present invention, are new and novel, as discussed in greater detail below. For example, varying levels of interconnection are provided to correspond to the varying levels of the matrices 150, the computational units 200, and the computational elements 250, discussed below. At the matrix 150 level, in comparison with the prior art FPGA interconnect, the matrix interconnection network 110 is considerably more limited and less "rich", with lesser connection capability in a given area, to reduce capacitance and increase speed of operation. Within a particular matrix 150 or computational unit 200, however, the interconnection network (210, 220 and 240) may be considerably more dense and rich, to provide greater adaptation and reconfiguration capability within a narrow or close locality of reference.

The various matrices or nodes 150 are reconfigurable and heterogeneous, namely, in general, and depending upon the desired configuration: reconfigurable matrix 150A is generally different from reconfigurable matrices 150B through 150N; reconfigurable matrix 150B is generally different from reconfigurable matrices 150A and 150C through 150N; reconfigurable matrix 150C is generally different from reconfigurable matrices 150A, 150B and 150D through 150N, and so on. The various reconfigurable matrices 150 each generally contain a different or varied mix of adaptive and reconfigurable computational (or computation) units (200); the computational units 200, in turn, generally contain a different or varied mix of fixed, application specific computational elements (250), discussed in greater detail below with reference to Figures 3 and 4, which may be adaptively connected, configured and reconfigured in various ways to perform varied functions, through the various interconnection networks. In addition to varied internal configurations and reconfigurations, the various matrices 150 may be connected, configured and reconfigured at a higher level, with respect to each of the other matrices 150, through the matrix interconnection network 110, also as discussed in greater detail below.

WO 02/098012

PCT/US02/16044

17

Several different, insightful and novel concepts are incorporated within the ACE 100 architecture of the present invention, and provide a useful explanatory basis for the real-time operation of the ACE 100 and its inherent advantages.

The first novel concepts of the present invention concern the adaptive and reconfigurable use of application specific, dedicated or fixed hardware units (computational elements 250), and the selection of particular functions for acceleration, to be included within these application specific, dedicated or fixed hardware units (computational elements 250) within the computational units 200 (Fig. 3) of the matrices 150, such as pluralities of multipliers, complex multipliers, and adders, each of which are designed for optimal execution of corresponding multiplication, complex multiplication, and addition functions. Given that the ACE 100 is to be optimized, in the preferred embodiment, for low power consumption, the functions for acceleration are selected based upon power consumption. For example, for a given application such as mobile communication, corresponding C (C+ or C++) or other code may be analyzed for power consumption. Such empirical analysis may reveal, for example, that a small portion of such code, such as 10%, actually consumes 90% of the operating power when executed. In accordance with the present invention, on the basis of such power utilization, this small portion of code is selected for acceleration within certain types of the reconfigurable matrices 150, with the remaining code, for example, adapted to run within matrices 150 configured as controller 120. Additional code may also be selected for acceleration, resulting in an optimization of power consumption by the ACE 100, up to any potential trade-off resulting from design or operational complexity. In addition, as discussed with respect to Figure 5, other functionality, such as control code, may be accelerated within matrices 150 when configured as finite state machines.

Also as indicated above, for the multimode rake receiver 50 of the present invention, various fixed, application specific computational elements 250 may be utilized in the preferred embodiment, such as multipliers and complex multipliers for despreading, tapped delay lines, PN generators, correlators, and other demodulation functions. Through the varying levels of interconnect, corresponding algorithms are then implemented, at any given time, through the configuration and reconfiguration of fixed computational elements (250), namely, implemented within

hardware which has been optimized and configured for efficiency, *i.e.*, a "machine" is configured in real-time which is optimized to perform the particular algorithm.

The next and perhaps most significant concept of the present invention, and a marked departure from the concepts and precepts of the prior art, is the concept of reconfigurable "heterogeneity" utilized to implement the various selected algorithms mentioned above. As indicated in the related application, prior art reconfigurability has relied exclusively on homogeneous FPGAs, in which identical blocks of logic gates are repeated as an array within a rich, programmable interconnect, with the interconnect subsequently configured to provide connections between and among the identical gates to implement a particular function, albeit inefficiently and often with routing and combinatorial problems. In stark contrast, in accordance with the present invention, within computation units 200, different computational elements (250) are implemented directly as correspondingly different fixed (or dedicated) application specific hardware, such as dedicated multipliers, complex multipliers, and adders. Utilizing interconnect (210 and 220), these differing, heterogeneous computational elements (250) may then be adaptively configured, in real-time, to perform the selected algorithm, such as the performance of discrete cosine transformations often utilized in mobile communications. As a consequence, in accordance with the present invention, different ("heterogeneous") computational elements (250) are configured and reconfigured, at any given time, to optimally perform a given algorithm or other function. In addition, for repetitive functions, a given instantiation or configuration of computational elements may also remain in place over time, *i.e.*, unchanged, throughout the course of such repetitive calculations.

The temporal nature of the ACE 100 architecture should also be noted. At any given instant of time, utilizing different levels of interconnect (110, 210, 240 and 220), a particular configuration may exist within the ACE 100 which has been optimized to perform a given function or implement a particular algorithm, such as to implement pilot signal searching. At another instant in time, the configuration may be changed, to interconnect other computational elements (250) or connect the same computational elements 250 differently, for the performance of another function or algorithm, such as multipath reception. Two important features arise from this

WO 02/098012

PCT/US02/16044

19

temporal reconfigurability. First, as algorithms may change over time to, for example, implement a new technology standard, the ACE 100 may co-evolve and be reconfigured to implement the new algorithm. Second, because computational elements are interconnected at one instant in time, as an instantiation of a given algorithm, and then reconfigured at another instant in time for performance of another, different algorithm, gate (or transistor) utilization is maximized, providing significantly better performance than the most efficient ASICs relative to their activity factors.

10 This temporal reconfigurability of computational elements 250, for the performance of various different algorithms, also illustrates a conceptual distinction utilized herein between configuration and reconfiguration, on the one hand, and programming or reprogrammability, on the other hand. Typical programmability utilizes a pre-existing group or set of functions, which may be called in various orders, over time, to implement a particular algorithm. In contrast, configurability and reconfigurability, as used herein, includes the additional capability of adding or creating new functions which were previously unavailable or non-existent.

20 Next, the present invention also utilizes a tight coupling (or interdigitation) of data and configuration (or other control) information, within one, effectively continuous stream of information. This coupling or commingling of data and configuration information, referred to as a "silverware" module, is the subject of another, second related patent application. For purposes of the present invention, however, it is sufficient to note that this coupling of data and configuration information into one information (or bit) stream helps to enable real-time reconfigurability of the ACE 100, without a need for the (often unused) multiple, overlaying networks of hardware interconnections of the prior art. For example, as an analogy, a particular, first configuration of computational elements at a particular, first period of time, as the hardware to execute a corresponding algorithm during or after that first period of time, may be viewed or conceptualized as a hardware analog of "calling" a subroutine in software which may perform the same algorithm. As a consequence, once the configuration of the computational elements has occurred (*i.e.*, is in place), as directed by the configuration information, the data for use in the algorithm is immediately available as part of the silverware module. The same

WO 02/098012

PCT/US02/16044

20

computational elements may then be reconfigured for a second period of time, as directed by second configuration information, for execution of a second, different algorithm, also utilizing immediately available data. The immediacy of the data, for use in the configured computational elements, provides a one or two clock cycle hardware analog to the multiple and separate software steps of determining a memory address and fetching stored data from the addressed registers. This has the further result of additional efficiency, as the configured computational elements may execute, in comparatively few clock cycles, an algorithm which may require orders of magnitude more clock cycles for execution if called as a subroutine in a conventional microprocessor or DSP.

This use of silverware modules, as a commingling of data and configuration information, in conjunction with the real-time reconfigurability of a plurality of heterogeneous and fixed computational elements 250 to form adaptive, different and heterogeneous computation units 200 and matrices 150, enables the ACE 100 architecture to have multiple and different modes of operation. For example, when included within a hand-held device, given a corresponding silverware module, the ACE 100 may have various and different operating modes as a cellular or other mobile telephone, a music player, a pager, a personal digital assistant, and other new or existing functionalities. In addition, these operating modes may change based upon the physical location of the device; for example, when configured as a CDMA mobile telephone for use in the United States, the ACE 100 may be reconfigured as a GSM mobile telephone for use in Europe.

Referring again to Figure 4, the functions of the controller 120 (preferably matrix (KARC) 150A and matrix (MARC) 150B, configured as finite state machines) may be explained with reference to a silverware module, namely, the tight coupling of data and configuration information within a single stream of information, with reference to multiple potential modes of operation, with reference to the reconfigurable matrices 150, and with reference to the reconfigurable computation units 200 and the computational elements 150 illustrated in Fig. 3. As indicated above, through a silverware module, the ACE 100 may be configured or reconfigured to perform a new or additional function, such as an upgrade to a new technology standard or the addition of an entirely new function, such as the addition of a music

WO 02/098012

PCT/US02/16044

21

function to a mobile communication device. Such a silverware module may be stored in the matrices 150 of memory 140, or may be input from an external (wired or wireless) source through, for example, matrix interconnection network 110. In the preferred embodiment, one of the plurality of matrices 150 is configured to decrypt

5 such a module and verify its validity, for security purposes. Next, prior to any configuration or reconfiguration of existing ACE 100 resources, the controller 120, through the matrix (KARC) 150A, checks and verifies that the configuration or reconfiguration may occur without adversely affecting any pre-existing functionality, such as whether the addition of music functionality would adversely affect pre-

10 existing mobile communications functionality. In the preferred embodiment, the system requirements for such configuration or reconfiguration are included within the silverware module, for use by the matrix (KARC) 150A in performing this evaluative function. If the configuration or reconfiguration may occur without such adverse affects, the silverware module is allowed to load into the matrices 150 of memory

15 140, with the matrix (KARC) 150A setting up the DMA engines within the matrices 150C and 150D of the memory 140 (or other stand-alone DMA engines of a conventional memory). If the configuration or reconfiguration would or may have such adverse affects, the matrix (KARC) 150A does not allow the new module to be incorporated within the ACE 100.

20 Continuing to refer to Figure 4, the matrix (MARC) 150B manages the scheduling of matrix 150 resources and the timing of any corresponding data, to synchronize any configuration or reconfiguration of the various computational elements 250 and computation units 200 with any corresponding input data and output data. In the preferred embodiment, timing information is also included within a

25 silverware module, to allow the matrix (MARC) 150B through the various interconnection networks to direct a reconfiguration of the various matrices 150 in time, and preferably just in time, for the reconfiguration to occur before corresponding data has appeared at any inputs of the various reconfigured computation units 200. In addition, the matrix (MARC) 150B may also perform any

30 residual processing which has not been accelerated within any of the various matrices 150. As a consequence, the matrix (MARC) 150B may be viewed as a control unit which "calls" the configurations and reconfigurations of the matrices 150,

computation units 200 and computational elements 250, in real-time, in synchronization with any corresponding data to be utilized by these various reconfigurable hardware units, and which performs any residual or other control processing. Other matrices 150 may also include this control functionality, with any given matrix 150 capable of calling and controlling a configuration and reconfiguration of other matrices 150.

Figure 5 is a block diagram illustrating, in greater detail, a reconfigurable matrix 150 with a plurality of computation units 200 (illustrated as computation units 200A through 200N), and a plurality of computational elements 250 (illustrated as computational elements 250A through 250Z), and provides additional illustration of the preferred types of computational elements 250 and a useful summary of the present invention. As illustrated in Figure 5, any matrix 150 generally includes a matrix controller 230, a plurality of computation (or computational) units 200, and as logical or conceptual subsets or portions of the matrix interconnect network 110, a data interconnect network 240 and a Boolean interconnect network 210. As mentioned above, in the preferred embodiment, at increasing "depths" within the ACE 100 architecture, the interconnect networks become increasingly rich, for greater levels of adaptability and reconfiguration. The Boolean interconnect network 210, also as mentioned above, provides the reconfiguration and data interconnection capability between and among the various computation units 200, and is preferably small (*i.e.*, only a few bits wide), while the data interconnect network 240 provides the reconfiguration and data interconnection capability for data input and output between and among the various computation units 200, and is preferably comparatively large (*i.e.*, many bits wide). It should be noted, however, that while conceptually divided into reconfiguration and data capabilities, any given physical portion of the matrix interconnection network 110, at any given time, may be operating as either the Boolean interconnect network 210, the data interconnect network 240, the lowest level interconnect 220 (between and among the various computational elements 250), or other input, output, or connection functionality.

Continuing to refer to Figure 5, included within a computation unit 200 are a plurality of computational elements 250, illustrated as computational elements

WO 02/098012

PCT/US02/16044

23

250A through 250Z (individually and collectively referred to as computational elements 250), and additional interconnect 220. The interconnect 220 provides the reconfigurable interconnection capability and input/output paths between and among the various computational elements 250. As indicated above, each of the various computational elements 250 consist of dedicated, application specific hardware designed to perform a given task or range of tasks, resulting in a plurality of different, fixed computational elements 250. Utilizing the interconnect 220, the fixed computational elements 250 may be reconfigurably connected together into adaptive and varied computational units 200, which also may be further reconfigured and interconnected, to execute an algorithm or other function, at any given time, such as the pilot signal searching or the multipath reception and combining discussed above, utilizing the interconnect 220, the Boolean network 210, and the matrix interconnection network 110.

In the preferred embodiment, the various computational elements 250 are designed and grouped together, into the various adaptive and reconfigurable computation units 200 (as illustrated, for example, in Figures 5A through 9). In addition to computational elements 250 which are designed to execute a particular algorithm or function, such as multiplication, correlation, or addition, other types of computational elements 250 are also utilized in the preferred embodiment. As illustrated in Fig. 3, computational elements 250A and 250B implement memory, to provide local memory elements for any given calculation or processing function (compared to the more "remote" memory 140). In addition, computational elements 250I, 250J, 250K and 250L are configured to implement finite state machines (using, for example, the computational elements illustrated in Figures 7, 8 and 9), to provide local processing capability (compared to the more "remote" matrix (MARC) 150B), especially suitable for complicated control processing.

With the various types of different computational elements 250 which may be available, depending upon the desired functionality of the ACE 100, the computation units 200 may be loosely categorized. A first category of computation units 200 includes computational elements 250 performing linear operations, such as multiplication, addition, finite impulse response filtering, and so on (as illustrated below, for example, with reference to Figure 7). A second category of computation

units 200 includes computational elements 250 performing non-linear operations, such as discrete cosine transformation, trigonometric calculations, and complex multiplications. A third type of computation unit 200 implements a finite state machine, such as computation unit 200C as illustrated in Figure 5 and as illustrated in greater detail below with respect to Figures 7 through 9), particularly useful for complicated control sequences, dynamic scheduling, and input/output management, while a fourth type may implement memory and memory management, such as computation unit 200A as illustrated in Fig. 4. Lastly, a fifth type of computation unit 200 may be included to perform bit-level manipulation, such as for encryption, decryption, channel coding, Viterbi decoding, and packet and protocol processing (such as Internet Protocol processing).

In the preferred embodiment, in addition to control from other matrices or nodes 150, a matrix controller 230 may also be included within any given matrix 150, also to provide greater locality of reference and control of any reconfiguration processes and any corresponding data manipulations. For example, once a reconfiguration of computational elements 250 has occurred within any given computation unit 200, the matrix controller 230 may direct that that particular instantiation (or configuration) remain intact for a certain period of time to, for example, continue repetitive data processing for a given application.

Figure 6 is a block diagram illustrating, in greater detail, an exemplary or representative computation unit 200 of a reconfigurable matrix 150 in accordance with the present invention. As illustrated in Figure 6, a computation unit 200 typically includes a plurality of diverse, heterogeneous and fixed computational elements 250, such as a plurality of memory computational elements 250A and 250B, and forming a computational unit ("CU") core 260, a plurality of algorithmic or finite state machine computational elements 250C through 250K. As discussed above, each computational element 250, of the plurality of diverse computational elements 250, is a fixed or dedicated, application specific circuit, designed and having a corresponding logic gate layout to perform a specific function or algorithm, such as addition or multiplication. In addition, the various memory computational elements 250A and 250B may be implemented with various bit depths, such as RAM (having significant depth), or as a register, having a depth of 1 or 2 bits.

WO 02/098012

PCT/US02/16044

25

Forming the conceptual data and Boolean interconnect networks 240 and 210, respectively, the exemplary computation unit 200 also includes a plurality of input multiplexers 280, a plurality of input lines (or wires) 281, and for the output of the CU core 260 (illustrated as line or wire 270), a plurality of output demultiplexers 285 and 290, and a plurality of output lines (or wires) 291. Through the input multiplexers 280, an appropriate input line 281 may be selected for input use in data transformation and in the configuration and interconnection processes, and through the output demultiplexers 285 and 290, an output or multiple outputs may be placed on a selected output line 291, also for use in additional data transformation and in the configuration and interconnection processes.

In the preferred embodiment, the selection of various input and output lines 281 and 291, and the creation of various connections through the interconnect (210, 220 and 240), is under control of control bits 265 from the computational unit controller 255, as discussed below. Based upon these control bits 265, any of the various input enables 251, input selects 252, output selects 253, MUX selects 254, DEMUX enables 256, DEMUX selects 257, and DEMUX output selects 258, may be activated or deactivated.

The exemplary computation unit 200 includes a computation unit controller 255 which provides control, through control bits 265, over what each computational element 250, interconnect (210, 220 and 240), and other elements (above) does with every clock cycle. Not separately illustrated, through the interconnect (210, 220 and 240), the various control bits 265 are distributed, as may be needed, to the various portions of the computation unit 200, such as the various input enables 251, input selects 252, output selects 253, MUX selects 254, DEMUX enables 256, DEMUX selects 257, and DEMUX output selects 258. The CU controller 295 also includes one or more lines 295 for reception of control (or configuration) information and transmission of status information.

As mentioned above, the interconnect may include a conceptual division into a data interconnect network 240 and a Boolean interconnect network 210, of varying bit widths, as mentioned above. In general, the (wider) data interconnection network 240 is utilized for creating configurable and reconfigurable connections, for corresponding routing of data and configuration information. The

WO 02/098012

PCT/US02/16044

26

(narrower) Boolean interconnect network 210, while also utilized for creating configurable and reconfigurable connections, is utilized for control of logic (or Boolean) decisions of the various data flow graphs, generating decision nodes in such DFGs, and may also be used for data routing within such DFGs.

5 Figure 7 is a block diagram illustrating, in detail, an exemplary, preferred multi-function adaptive computational unit 500 having a plurality of different, fixed computational elements, in accordance with the present invention. When configured accordingly, the adaptive computation unit 500 performs a wide variety of functions discussed in the related application, such as finite impulse
10 response filter, fast Fourier transformation, and other functions such as discrete cosine transformation. As illustrated, this multi-function adaptive computational unit 500 includes capability for a plurality of configurations of a plurality of fixed computational elements, including input memory 520, data memory 525, registers 530 (illustrated as registers 530A through 530Q), multipliers 540 (illustrated as multipliers
15 540A through 540D), adder 545, first arithmetic logic unit (ALU) 550 (illustrated as ALU_1s 550A through 550D), second arithmetic logic unit (ALU) 555 (illustrated as ALU_2s 555A through 555D), and pipeline (length 1) register 560, with inputs 505, lines 515, outputs 570, and multiplexers (MUXes or MXes) 510 (illustrates as MUXes and MXes 510A through 510KK) forming an interconnection network (210, 220 and
20 240). The two different ALUs 550 and 555 are preferably utilized, for example, for parallel addition and subtraction operations, particularly useful for radix 2 operations in discrete cosine transformation.

 Figure 8 is a block diagram illustrating, in detail, a preferred adaptive logic processor (ALP) computational unit 600 having a plurality of fixed
25 computational elements, in accordance with the present invention. The ALP 600 is highly adaptable, and is preferably utilized for input/output configuration, finite state machine implementation, general field programmability, and bit manipulation. The fixed computational element of ALP 600 is a portion (650) of each of the plurality of adaptive core cells (CCs) 610 (Figure 9), as separately illustrated in Figure 10. An
30 interconnection network (210, 220 and 240) is formed from various combinations and permutations of the pluralities of vertical inputs (VIs) 615, vertical repeaters (VRs)

WO 02/098012

PCT/US02/16044

27

620, vertical outputs (VOs) 625, horizontal repeaters (HRs) 630, horizontal terminators (HTs) 635, and horizontal controllers (HCs) 640.

Figure 9 is a block diagram illustrating, in greater detail, a preferred core cell 610 of an adaptive logic processor computational unit 600 with a fixed computational element 650, in accordance with the present invention. The fixed computational element is a 3 input – 2 output function generator 550, separately illustrated in Figure 10. The preferred core cell 610 also includes control logic 655, control inputs 665, control outputs 670 (providing output interconnect), output 675, and inputs (with interconnect muxes) 660 (providing input interconnect).

Figure 10 is a block diagram illustrating, in greater detail, a preferred fixed computational element 650 of a core cell 610 of an adaptive logic processor computational unit 600, in accordance with the present invention. The fixed computational element 650 is comprised of a fixed layout of pluralities of exclusive NOR (XNOR) gates 680, NOR gates 685, NAND gates 690, and exclusive OR (XOR) gates 695, with three inputs 720 and two outputs 710. Configuration and interconnection is provided through MUX 705 and interconnect inputs 730.

As may be apparent from the discussion above, this use of a plurality of fixed, heterogeneous computational elements (250), which may be configured and reconfigured to form heterogeneous computation units (200), which further may be configured and reconfigured to form heterogeneous matrices 150, through the varying levels of interconnect (110, 210, 240 and 220), creates an entirely new class or category of integrated circuit, which may be referred to as an adaptive computing architecture. It should be noted that the adaptive computing architecture of the present invention cannot be adequately characterized, from a conceptual or from a nomenclature point of view, within the rubric or categories of FPGAs, ASICs or processors. For example, the non-FPGA character of the adaptive computing architecture is immediately apparent because the adaptive computing architecture does not comprise either an array of identical logical units, or more simply, a repeating array of any kind. Also for example, the non-ASIC character of the adaptive computing architecture is immediately apparent because the adaptive computing architecture is not application specific, but provides multiple modes of functionality and is reconfigurable in real-time. Continuing with the example, the

non-processor character of the adaptive computing architecture is immediately apparent because the adaptive computing architecture becomes configured, to directly operate upon data, rather than focusing upon executing instructions with data manipulation occurring as a byproduct.

5 Yet additional advantages of the present invention may be further apparent to those of skill in the art. The ACE 100 architecture of the present invention effectively and efficiently combines and maximizes the various advantages of processors, ASICs and FPGAs, while minimizing potential disadvantages. The ACE 100 includes the programming flexibility of a processor, the post-fabrication
10 flexibility of FPGAs, and the high speed and high utilization factors of an ASIC. The ACE 100 is readily reconfigurable, in real-time, and is capable of having corresponding, multiple modes of operation. In addition, through the selection of particular functions for reconfigurable acceleration, the ACE 100 minimizes power consumption and is suitable for low power applications, such as for use in hand-held
15 and other battery-powered devices.

The adaptive and reconfigurable multimode rake receiver 50, for dynamic search and multipath reception, in accordance with the present invention, provides numerous additional advantages. The dynamic allocation of limited computational element resources between multipath reception and searching
20 functionality provides several types of improved system performance, such as higher quality transmissions due to improved multipath reception, and fewer dropped or degraded calls due to increased and improved searching capability. In addition, for next generation systems, such as 3G or CDMA 2000, which may require an increased number of rake fingers for multipath reception, while simultaneously increasing
25 spreading code lengths, resulting in additional searching and correlation requirements, the dynamic allocation of limited computational element resources between multipath reception and searching functionality, in accordance with the present invention, is especially useful and timely, providing a cost-effective and power saving solution to address the requirements for increased performance and processing capability.

30 From the foregoing, it will be observed that numerous variations and modifications may be effected without departing from the spirit and scope of the novel concept of the invention. It is to be understood that no limitation with respect

WO 02/098012

PCT/US02/16044

29

to the specific methods and apparatus illustrated herein is intended or should be inferred. It is, of course, intended to cover by the appended claims all such modifications as fall within the scope of the claims.

5 It is claimed:

WO 02/098012

PCT/US02/16044

30

1. A multimode rake receiver, comprising:
a network interface;
a plurality of adaptive multimode rake fingers operably coupled to the
network interface, each adaptive multimode rake finger of the plurality of adaptive
5 multimode rake fingers responsive to a first mode signal to configure for a path
reception functional mode and further responsive to a second mode signal to
configure for a searcher functional mode; and
a multimode processor operably coupled to the plurality of adaptive
multimode rake fingers, the multimode processor responsive to the first mode signal
10 to configure for the path reception functional mode and further responsive to the
second mode signal to configure for the searcher functional mode.
2. The multimode rake receiver of claim 1, wherein when the multimode
rake receiver is in an acquisition mode, all adaptive multimode rake fingers of the
15 plurality of adaptive multimode rake fingers are configured for the searcher functional
mode and the multimode processor is configured for the searcher functional mode.
3. The multimode rake receiver of claim 1, wherein when the multimode
rake receiver is in a traffic mode:
20 a first subset of adaptive multimode rake fingers of the plurality of
adaptive multimode rake fingers are configured for the searcher functional mode and
a first portion of the multimode processor is configured for the searcher functional
mode; and
a second subset of adaptive multimode rake fingers of the plurality of
25 adaptive multimode rake fingers are configured for the path reception functional
mode and a second portion of the multimode processor is configured for the path
reception functional mode.
4. The multimode rake receiver of claim 3, wherein the second subset of
30 adaptive multimode rake fingers configured for path reception functional mode
corresponds to a number of multipaths determined by the first subset of adaptive

WO 02/098012

PCT/US02/16044

31

multimode rake fingers and the first portion of the multimode processor when configured for the searcher functional mode.

5. The multimode rake receiver of claim 3, wherein the first subset of
5 adaptive multimode rake fingers configured for the searcher functional mode and the second subset of adaptive multimode rake fingers configured for path reception functional mode are dynamically determined based upon at least one channel-dependent parameter selected from a plurality of channel-dependent parameters, the plurality of channel-dependent parameters comprising a pilot signal relative power
10 level, a number of identified multipaths, a number of identified base stations, received traffic signal-to-noise ratio, and received traffic error rate.

6. The multimode rake receiver of claim 1, wherein when the multimode rake receiver is in an idle mode:

15 a first subset of adaptive multimode rake fingers of the plurality of adaptive multimode rake fingers are configured for the searcher functional mode and a first portion of the multimode processor is configured for the searcher functional mode;

20 a second subset of adaptive multimode rake fingers of the plurality of adaptive multimode rake fingers are configured for the path reception functional mode and a second portion of the multimode processor is configured for the path reception functional mode; and

25 a third subset of adaptive multimode rake fingers of the plurality of adaptive multimode rake fingers and a third portion of the multimode processor are configured for comparatively lower power consumption.

7. The multimode rake receiver of claim 1, wherein the plurality of adaptive multimode rake fingers further comprise:

30 a plurality of heterogeneous computational elements, the plurality of heterogeneous computational elements including a first computational element and a second computational element, the first computational element having a first fixed

WO 02/098012

PCT/US02/16044

32

architecture and the second computational element having a second fixed architecture, the first fixed architecture being different than the second fixed architecture.

8. The multimode rake receiver of claim 7, wherein the plurality of
5 adaptive multimode rake fingers further comprise:
an interconnection network coupled to the plurality of heterogeneous
computational elements, the interconnection network operative to configure the
plurality of heterogeneous computational elements for the path reception functional
mode in response to first configuration information, and the interconnection network
10 further operative to reconfigure the plurality of heterogeneous computational elements
for the searcher functional mode in response to second configuration information.
9. The multimode rake receiver of claim 7, wherein the plurality of
heterogeneous computational elements further comprise:
15 a pseudorandom noise sequence and orthogonal code generator;
a timing adjuster operably coupled to the pseudorandom noise
sequence and orthogonal code generator;
a pilot signal correlator operably coupled to the pseudorandom noise
sequence and orthogonal code generator;
20 a phase estimator operably coupled to the pilot signal correlator;
a channel correlator operably coupled to the pseudorandom noise
sequence and orthogonal code generator and the timing adjuster; and
a phase adjuster operably coupled to the channel correlator.
- 25 10. The multimode rake receiver of claim 9, wherein a plurality of outputs,
the plurality of outputs including a first output from the timing adjuster, a second
output from the pilot signal correlator, and a third output from the channel correlator,
and a fourth output from the phase adjuster, are further operably coupled to a
multiplexer, the multiplexer responsive to the first configuration information to select
30 the fourth output from the plurality of outputs to provide the path reception functional
mode and the multiplexer responsive to the second configuration information to select

WO 02/098012

PCT/US02/16044

33

the first output, the second output, and the third output from the plurality of outputs to provide the searcher functional mode.

11. The multimode rake receiver of claim 7, wherein the first fixed
5 architecture and the second fixed architecture are selected from a plurality of specific architectures, the plurality of specific architectures including functions for memory, addition, multiplication, complex multiplication, subtraction, configuration, reconfiguration, control, input, output, and field programmability.
- 10 12. The multimode rake receiver of claim 1, wherein the multimode processor further comprises:
a plurality of heterogeneous computational elements, the plurality of heterogeneous computational elements including a first computational element and a second computational element, the first computational element having a first fixed
15 architecture and the second computational element having a second fixed architecture, the first fixed architecture being different than the second fixed architecture.
13. The multimode rake receiver of claim 12, wherein the multimode processor further comprises:
20 an interconnection network coupled to the plurality of heterogeneous computational elements, the interconnection network operative to configure the plurality of heterogeneous computational elements for the path reception functional mode in response to the first configuration information, and the interconnection network further operative to reconfigure the plurality of heterogeneous computational
25 elements for the searcher functional mode in response to second configuration information.
14. The multimode rake receiver of claim 12, wherein the plurality of heterogeneous computational elements further comprise:
30 a multipath combiner; and
a mode and path assignment processor.

WO 02/098012

PCT/US02/16044

34

15. The multimode rake receiver of claim 12, wherein the first fixed architecture and the second fixed architecture are selected from a plurality of specific architectures, the plurality of specific architectures including functions for memory, addition, multiplication, complex multiplication, subtraction, configuration, reconfiguration, control, input, output, and field programmability.
16. The multimode rake receiver of claim 1, wherein the multimode rake receiver is embodied within a mobile station.
- 10 17. The multimode rake receiver of claim 1, wherein the multimode rake receiver is embodied within a base station.
18. An apparatus for direct-sequence spread spectrum reception, the apparatus comprising:
- 15 a plurality of heterogeneous computational elements, the plurality of heterogeneous computational elements including a first computational element and a second computational element, the first computational element having a first fixed architecture and the second computational element having a second fixed architecture, the first fixed architecture being different than the second fixed architecture; and
- 20 an interconnection network coupled to the plurality of heterogeneous computational elements, the interconnection network operative to configure the plurality of heterogeneous computational elements for a multipath reception functional mode in response to first configuration information, and the interconnection network further operative to reconfigure the plurality of
- 25 heterogeneous computational elements for a searcher functional mode in response to second configuration information.
19. The apparatus of claim 18, wherein the first fixed architecture and the second fixed architecture are selected from a plurality of specific architectures, the
- 30 plurality of specific architectures including functions for memory, addition, multiplication, complex multiplication, subtraction, configuration, reconfiguration, control, input, output, and field programmability.

WO 02/098012

PCT/US02/16044

35

20. The apparatus of claim 18, wherein the interconnection network reconfigurably routes data and control information between and among the plurality of heterogeneous computational elements.

5

21. The apparatus of claim 18, further comprising:
a controller coupled to the plurality of heterogeneous computational elements and to the interconnection network, the controller operative to direct and schedule the configuration of the plurality of heterogeneous computational elements for the multipath reception functional mode and the reconfiguration of the plurality of heterogeneous computational elements for the searcher functional mode.

10

22. The apparatus of claim 18, further comprising:
a memory coupled to the plurality of heterogeneous computational elements and to the interconnection network, the memory operative to store the first configuration information and the second configuration information.

15

23. The apparatus of claim 18, wherein:
the plurality of heterogeneous computational elements and the interconnection network are configured to form a plurality of adaptive multimode rake fingers and configured to form a multimode processor operably coupled to the plurality of adaptive multimode rake fingers;
each adaptive multimode rake finger of the plurality of adaptive multimode rake fingers is responsive to the first configuration information to configure for the multipath reception functional mode and further responsive to the second configuration information to configure for the searcher functional mode; and
the multimode processor is responsive to the first configuration information to configure for the multipath reception functional mode and further responsive to second configuration information to configure for the searcher functional mode.

20

25

30

WO 02/098012

PCT/US02/16044

36

24. The apparatus of claim 23, wherein when the apparatus is in an acquisition mode, all adaptive multimode rake fingers of the plurality of adaptive multimode rake fingers are configured for the searcher functional mode and the multimode processor is configured for the searcher functional mode.
- 5
25. The apparatus of claim 23, wherein when the apparatus is in a traffic mode:
- a first subset of adaptive multimode rake fingers of the plurality of adaptive multimode rake fingers are configured for the searcher functional mode and
- 10 a first portion of the multimode processor is configured for the searcher functional mode; and
- a second subset of adaptive multimode rake fingers of the plurality of adaptive multimode rake fingers are configured for the path reception functional mode and a second portion of the multimode processor is configured for the path
- 15 reception functional mode.
26. The apparatus of claim 25, wherein the second subset of adaptive multimode rake fingers configured for path reception functional mode corresponds to a number of multipaths determined by the first subset of adaptive multimode rake
- 20 fingers and the first portion of the multimode processor when configured for the searcher functional mode.
27. The apparatus of claim 25, wherein the first subset of adaptive multimode rake fingers configured for the searcher functional mode and the second
- 25 subset of adaptive multimode rake fingers configured for path reception functional mode are dynamically determined based upon at least one channel dependent parameter selected from a plurality of channel-dependent parameters, the plurality of channel-dependent parameters comprising a pilot signal relative power level, a number of identified multipaths, a number of identified base stations, received traffic
- 30 signal-to-noise ratio, and received traffic error rate.

WO 02/098012

PCT/US02/16044

37

28. The apparatus of claim 23, wherein when the apparatus is in an idle mode:
- a first subset of adaptive multimode rake fingers of the plurality of adaptive multimode rake fingers are configured for the searcher functional mode and a first portion of the multimode processor is configured for the searcher functional mode;
 - a second subset of adaptive multimode rake fingers of the plurality of adaptive multimode rake fingers are configured for the path reception functional mode and a second portion of the multimode processor is configured for the path reception functional mode; and
 - a third subset of adaptive multimode rake fingers of the plurality of adaptive multimode rake fingers and a third portion of the multimode processor are configured for comparatively lower power consumption.
- 15 29. The apparatus of claim 18, wherein the plurality of heterogeneous computational elements further comprise:
- a pseudorandom noise sequence and orthogonal code generator;
 - a pilot signal correlator operably coupled to the pseudorandom noise sequence and orthogonal code generator;
 - a phase estimator operably coupled to the pilot signal correlator;
 - a timing adjuster operably coupled to the pseudorandom noise sequence and orthogonal code generator;
 - a channel correlator operably coupled to the pseudorandom noise sequence and orthogonal code generator and to the timing adjuster; and
 - a phase adjuster operably coupled to the channel correlator.
30. The apparatus of claim 18, wherein the plurality of heterogeneous computational elements further comprise:
- a multipath combiner; and
 - a mode and path assignment processor.

WO 02/098012

PCT/US02/16044

38

31. The apparatus of claim 18, wherein the first fixed architecture and the second fixed architecture are selected from a plurality of specific architectures, the plurality of specific architectures including functions for memory, addition, multiplication, complex multiplication, subtraction, configuration, reconfiguration, control, input, output, and field programmability.
32. The apparatus of claim 18, further comprising:
a second plurality of heterogeneous computational elements coupled to the interconnection network; and
wherein the interconnection network is further operative to configure the second plurality of heterogeneous computational elements for the multipath reception functional mode, to configure the second plurality of heterogeneous computational elements for the searcher functional mode, and to configure the second plurality of heterogeneous computational elements for a third functional mode, the third functional mode selected from a plurality of functional modes, and the third functional mode being a non-rake reception mode.
33. The apparatus of claim 18, wherein the apparatus is embodied within a mobile station.
34. The apparatus of claim 18, wherein the apparatus is embodied within a base station.
35. A method for adaptive rake reception, the comprising:
receiving an incoming signal
in response to first configuration information, configuring a plurality of adaptive multimode rake fingers for a path reception functional mode to provide multipath reception of the incoming signal; and
in response to second configuration information, configuring the plurality of adaptive multimode rake fingers for a searcher functional mode to provide a plurality of pilot signal determinations from the incoming signal.

WO 02/098012

PCT/US02/16044

39

36. The method of claim 35, further comprising:
in response to the first configuration information, configuring a multimode processor as a multipath combiner for the path reception functional mode to provide output data from the multipath reception of the incoming signal; and
5 in response to second configuration information, configuring the multimode processor for a searcher functional mode to select a preferred pilot signal from the plurality of pilot signal determinations from the incoming signal.
37. The method of claim 36, further comprising:
10 in an acquisition mode, configuring all adaptive multimode rake fingers of the plurality of adaptive multimode rake fingers for the searcher functional mode and configuring the multimode processor is the searcher functional mode.
38. The method of claim 36, further comprising:
15 in a traffic mode, configuring a first subset of adaptive multimode rake fingers of the plurality of adaptive multimode rake fingers for the searcher functional mode and configuring a first portion of the multimode processor for the searcher functional mode; and
in the traffic mode, configuring a second subset of adaptive multimode
20 rake fingers of the plurality of adaptive multimode rake fingers for the path reception functional mode and configuring a second portion of the multimode processor for the path reception functional mode.
39. The method of claim 38, wherein the second subset of adaptive
25 multimode rake fingers configured for path reception functional mode corresponds to a number of multipaths determined by the first subset of adaptive multimode rake fingers and the first portion of the multimode processor when configured for the searcher functional mode.
- 30 40. The method of claim 38, wherein the first subset of adaptive multimode rake fingers configured for the searcher functional mode and the second subset of adaptive multimode rake fingers configured for path reception functional

WO 02/098012

PCT/US02/16044

40

mode are dynamically determined based upon at least one channel dependent parameter selected from a plurality of channel-dependent parameters, the plurality of channel-dependent parameters comprising a pilot signal relative power level, a number of identified multipaths, a number of identified base stations, received traffic signal-to-noise ratio, and received traffic error rate.

41. The method of claim 36, wherein:
in an idle mode, configuring a first subset of adaptive multimode rake fingers of the plurality of adaptive multimode rake fingers for the searcher functional mode and configuring a first portion of the multimode processor for the searcher functional mode;

in the idle mode, configuring a second subset of adaptive multimode rake fingers of the plurality of adaptive multimode rake fingers for the path reception functional mode and configuring a second portion of the multimode processor for the path reception functional mode; and

in the idle mode, configuring a third subset of adaptive multimode rake fingers of the plurality of adaptive multimode rake fingers and configuring a third portion of the multimode processor for comparatively lower power consumption.

42. The method of claim 35, wherein the method occurs within a mobile station.

43. The method of claim 35, wherein the method occurs within a base station.

44. An apparatus for direct-sequence spread spectrum code division multiple access wireless reception, the apparatus comprising:
a plurality of heterogeneous computational elements, the plurality of heterogeneous computational elements including a first computational element and a second computational element, the first computational element having a first fixed architecture and the second computational element having a second fixed architecture, the first fixed architecture being different than the second fixed architecture; and

WO 02/098012

PCT/US02/16044

41

an interconnection network coupled to the plurality of heterogeneous computational elements, the interconnection network operative to configure the plurality of heterogeneous computational elements to form a plurality of adaptive multimode rake fingers and to form a multimode processor operably coupled to the plurality of adaptive multimode rake fingers.

45. The apparatus of claim 44, wherein:
each adaptive multimode rake finger of the plurality of adaptive multimode rake fingers is responsive to first configuration information to configure for a multipath reception functional mode and further responsive to second configuration information to configure for a searcher functional mode; and
the multimode processor is responsive to the first configuration information to configure for the multipath reception functional mode and further responsive to second configuration information to configure for the searcher functional mode.

46. The apparatus of claim 45, wherein when the apparatus is in an acquisition mode, all adaptive multimode rake fingers of the plurality of adaptive multimode rake fingers are configured for the searcher functional mode and the multimode processor is configured for the searcher functional mode.

47. The apparatus of claim 45, wherein when the apparatus is in a traffic mode:
a first subset of adaptive multimode rake fingers of the plurality of adaptive multimode rake fingers are configured for the searcher functional mode and a first portion of the multimode processor is configured for the searcher functional mode; and
a second subset of adaptive multimode rake fingers of the plurality of adaptive multimode rake fingers are configured for the path reception functional mode and a second portion of the multimode processor is configured for the path reception functional mode.

WO 02/098012

PCT/US02/16044

42

48. The apparatus of claim 47, wherein the first subset of adaptive multimode rake fingers configured for the searcher functional mode and the second subset of adaptive multimode rake fingers configured for path reception functional mode are dynamically determined based upon at least one channel dependent parameter selected from a plurality of channel-dependent parameters, the plurality of channel-dependent parameters comprising a pilot signal relative power level, a number of identified multipaths, a number of identified base stations, received traffic signal-to-noise ratio, and received traffic error rate.
49. The apparatus of claim 45, wherein when the apparatus is in an idle mode:
- a first subset of adaptive multimode rake fingers of the plurality of adaptive multimode rake fingers are configured for the searcher functional mode and a first portion of the multimode processor is configured for the searcher functional mode;
 - a second subset of adaptive multimode rake fingers of the plurality of adaptive multimode rake fingers are configured for the path reception functional mode and a second portion of the multimode processor is configured for the path reception functional mode; and
 - a third subset of adaptive multimode rake fingers of the plurality of adaptive multimode rake fingers and a third portion of the multimode processor are configured for comparatively lower power consumption.
50. A multimode rake receiver, comprising:
- a network interface;
 - a plurality of adaptive multimode rake fingers operably coupled to the network interface, each adaptive multimode rake finger of the plurality of adaptive multimode rake fingers responsive to a first mode signal to configure for a path reception functional mode and further responsive to a second mode signal to configure for a searcher functional mode;
 - a multimode processor operably coupled to the plurality of adaptive multimode rake fingers, the multimode processor responsive to the first mode signal

WO 02/098012

PCT/US02/16044

43

to configure for the path reception functional mode and further responsive to the second mode signal to configure for the searcher functional mode;

wherein when the multimode rake receiver is in an acquisition mode, all adaptive multimode rake fingers of the plurality of adaptive multimode rake
5 fingers are configured for the searcher functional mode and the multimode processor is configured for the searcher functional mode;

wherein when the multimode rake receiver is in a traffic mode, a first subset of adaptive multimode rake fingers of the plurality of adaptive multimode rake fingers are configured for the searcher functional mode and a first portion of the
10 multimode processor is configured for the searcher functional mode; and a second subset of adaptive multimode rake fingers of the plurality of adaptive multimode rake fingers are configured for the path reception functional mode and a second portion of the multimode processor is configured for the path reception functional mode; and

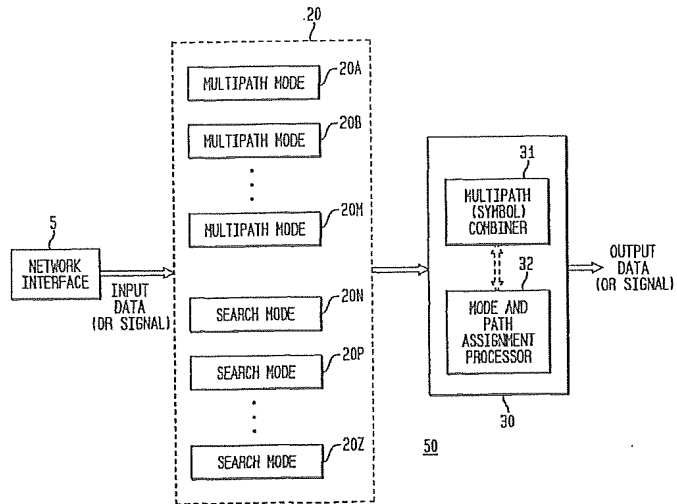
wherein the first subset of adaptive multimode rake fingers configured
15 for the searcher functional mode and the second subset of adaptive multimode rake fingers configured for path reception functional mode are dynamically determined based upon at least one channel-dependent parameter selected from a plurality of channel-dependent parameters, the plurality of channel-dependent parameters further comprising a pilot signal relative power level, a number of identified multipaths, a
20 number of identified base stations, received traffic signal-to-noise ratio, and received traffic error rate.

WO 02/098012

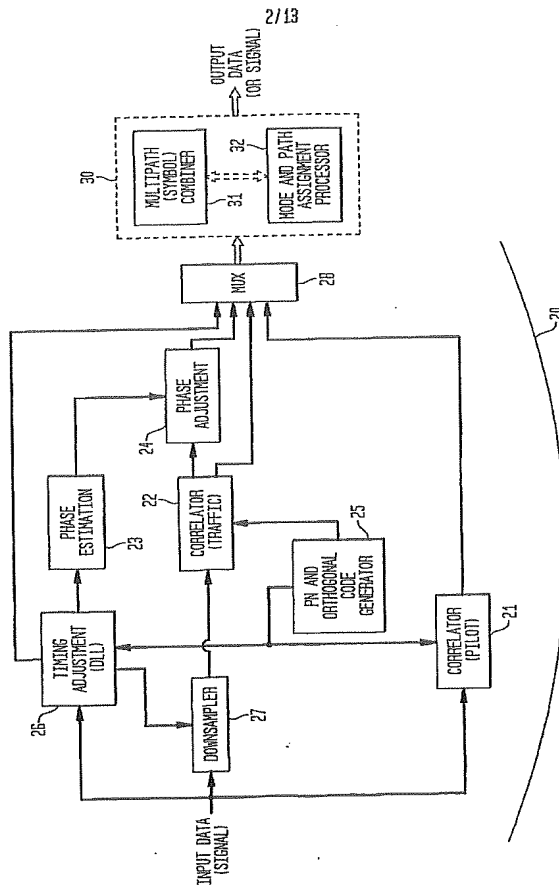
PCT/US02/16044

1/13

FIG. 1

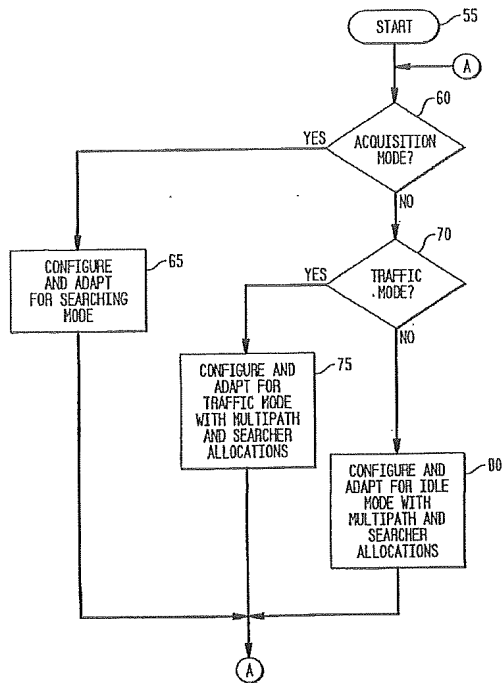


2/13



3/13

FIG. 3

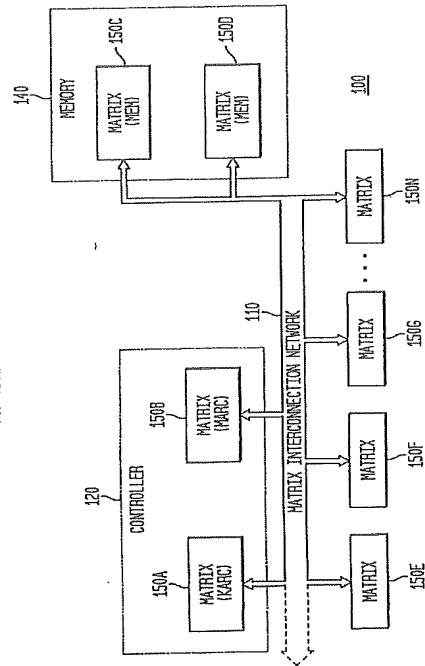


WO 02/098012

PCT/US02/16044

4/13

FIG. 4
ADAPTIVE COMPUTING ENGINE (ACE)



TO OTHER MATRICES 150
(INCLUDING CONTROLLER 120
AND MEMORY 140)

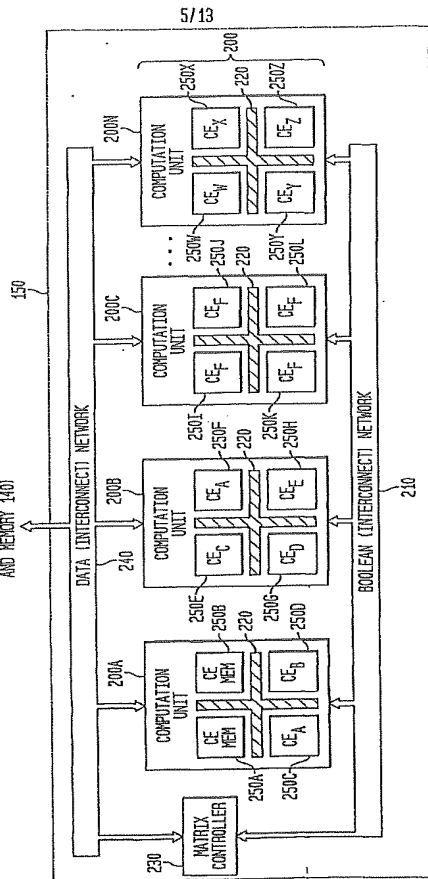
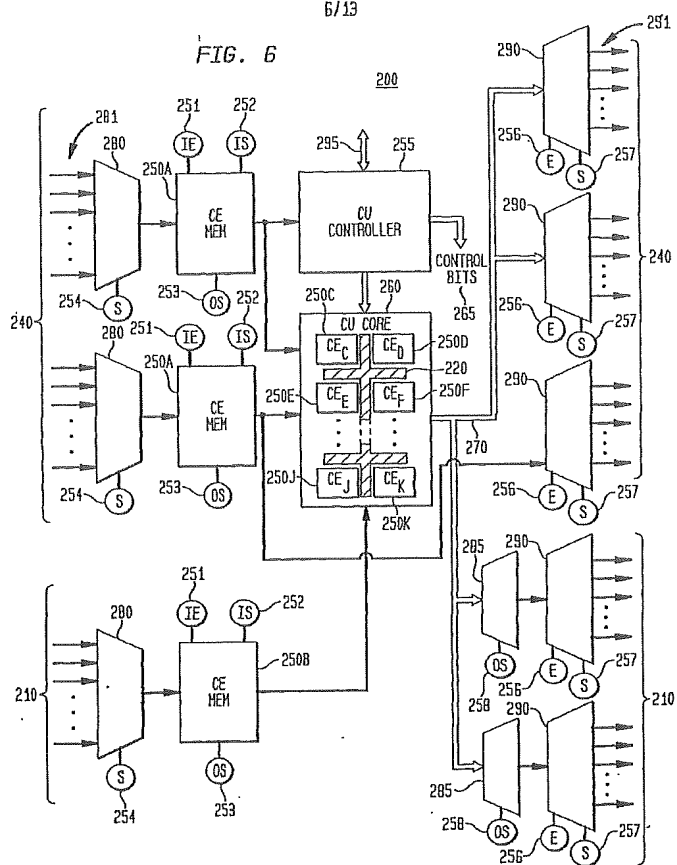


FIG. 6



WO 02/098012

PCT/US02/16044

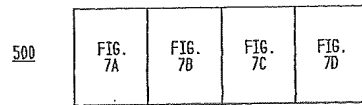
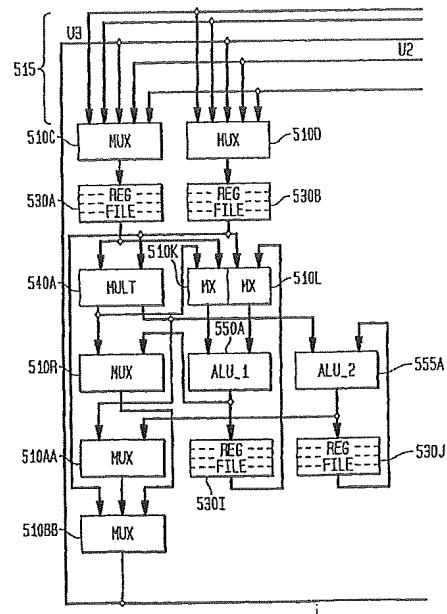
7/13
FIG. 7

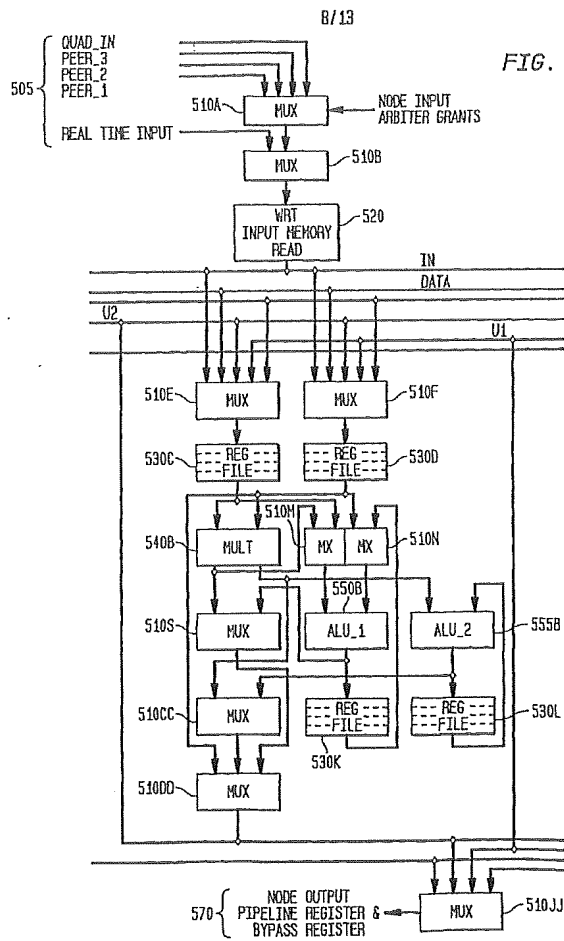
FIG. 7A



WO 02/098012

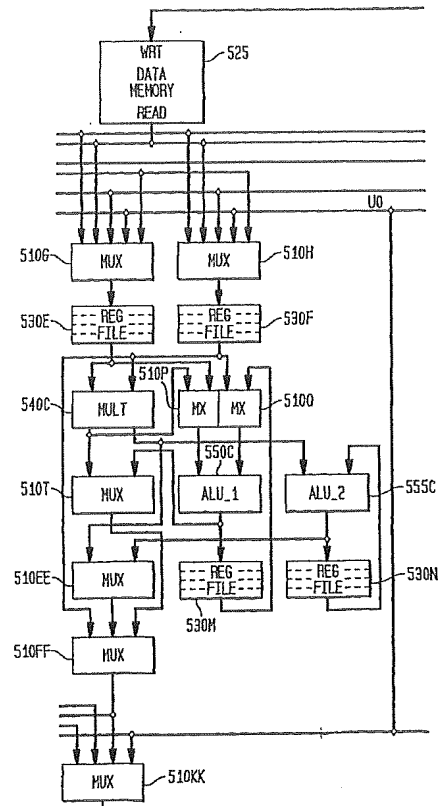
PCT/US02/16044

FIG. 7B



9/13

FIG. 7C



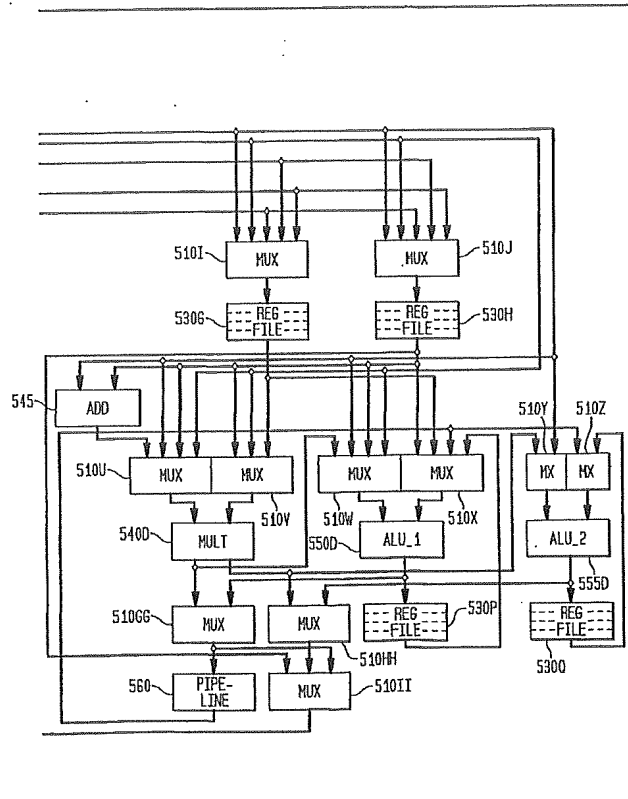
WO 02/098012

PCT/US02/16044

10/13

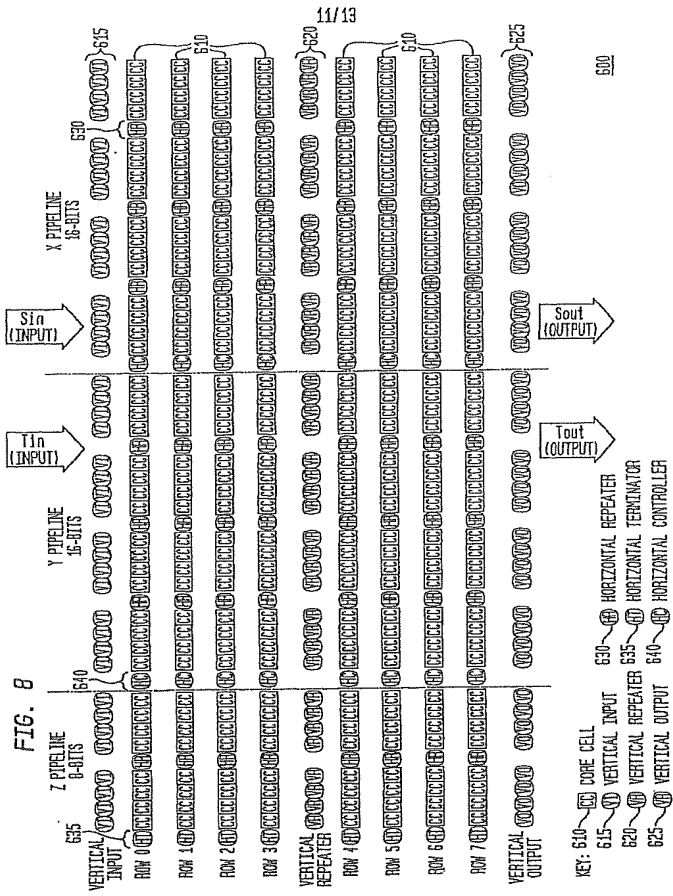
FIG. 7D

500



WO 02/098012

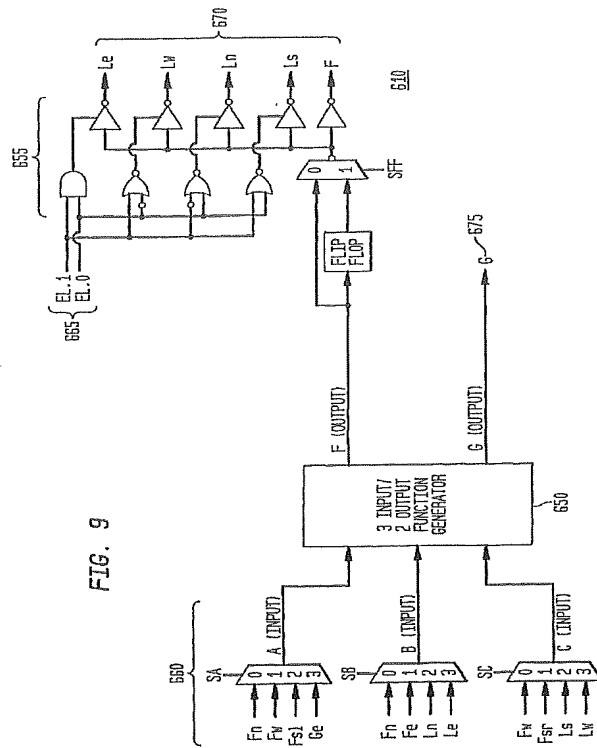
PCT/US02/16044



WO 02/098612

PCT/US02/16044

12/13

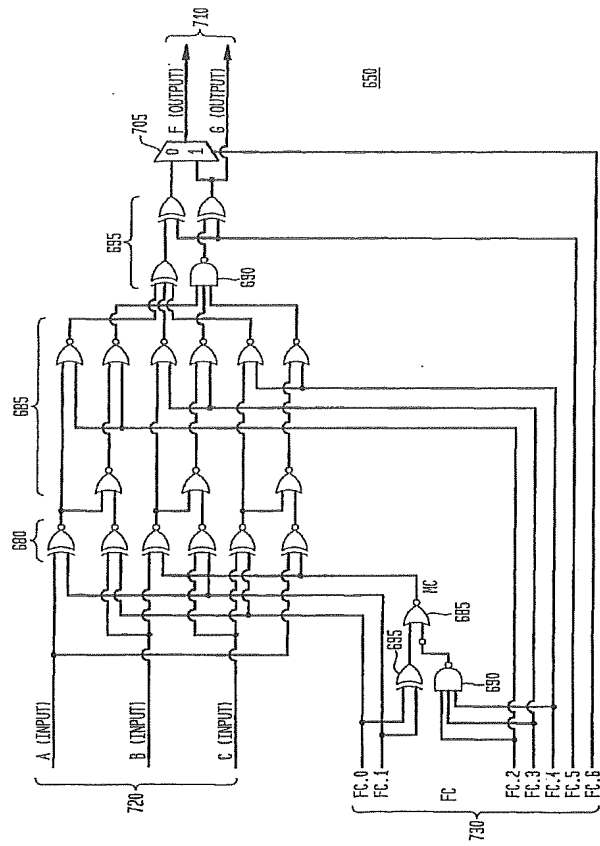


WO 02/098012

PCT/US02/16044

13/13

FIG. 10



【国際調査報告】

INTERNATIONAL SEARCH REPORT		Int. nat. Application No. PCT/US 02/16044
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 H04B1/707		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 H04B		
Documentation searched other than prior art documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 0 691 754 A (NOKIA MOBILE PHONES LTD) 10 January 1996 (1996-01-10) abstract; claims 1,5; figures 2A,2B,3 page 3, column 4, line 25 -page 4, column 5, line 18	1-17, 35-43
X	EP 0 661 831 A (NIPPON ELECTRIC CO) 5 July 1995 (1995-07-05) abstract; claim 1; figures 1,3A,3B page 2, line 21 -page 3, line 8	1-17, 35-43
X	EP 0 690 588 A (ROKE MANOR RESEARCH) 3 January 1996 (1996-01-03) abstract; claim 1; figures 1,4 page 3, column 4, line 14 -page 4, column 5, line 34	1-17, 35-43
-/-		
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claims or which is cited to establish the publication date of another citation or other special reason (as specified) "C" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" prior document published after the international filing date or priority date and not in conflict with the application but cited to understand the principles or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "A" document member of the same patent family		
Date of the actual completion of the international search 13 September 2002		Date of mailing of the international search report 30/09/2002
Name and mailing address of the ISA European Patent Office, P.O. Box 5010 Patentkanal 2 NL - 2200 HV Rijswijk Tel. (+31-70) 846-2040, Tx. 01 651 epo nl, Fax (+31-70) 846-3010		Authorized officer Ricciardi, M

Form PCT/ISA210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

 Int. appl. No.
PCT/US 02/16044

C. (Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 0 821 495 A (NIPPON TELEGRAPH & TELEPHONE), 28 January 1998 (1998-01-28) abstract; claims 1,2; figures 2,4 column 2, line 39 -column 3, line 1	1-17, 35-43
A	US 5 490 165 A (WEAVER JR LINDSAY A ET AL) 6 February 1996 (1996-02-06) abstract; figures 1,6 column 9, line 40 - line 47 column 10, line 60 -column 11, line 12	1-17, 35-43
A	US 5 684 793 A (JOLMA PETRI ET AL) 4 November 1997 (1997-11-04) abstract; figure 2	1-17, 35-43
A	KAUFMANN H ET AL: "Digital spread-spectrum multipath-diversity receiver for indoor communications" FROM PIONEERS TO THE 21ST. CENTURY. DENVER, MAY 10 - 13, 1992, PROCEEDINGS OF THE VEHICULAR TECHNOLOGY SOCIETY CONFERENCE (VTSC), NEW YORK, IEEE, US, vol. 2 CONF. 42, 10 May 1992 (1992-05-10), pages 1038-1041, XP010064387 ISBN: 0-7803-0673-2 the whole document	1-17, 35-43
A	FAWER U ET AL: "A multiprocessor approach for implementing a time-diversity spread spectrum receiver" PROCEEDINGS OF THE 1990 INTERNATIONAL ZURICH SEMINAR ON DIGITAL COMMUNICATIONS, 5 - 8 March 1990, pages 173-180, XP010010651 Zurich, Switzerland the whole document	1-17, 35-43

Form PCT/IS2210 (continuation of second sheet) (July 1992)

International Application No. PCT/US 02 A6044

FURTHER INFORMATION CONTINUED FROM PCT/SA/ 210

Continuation of Box I.2

Claims Nos.: 18-34, 44-50

In view of the large number and also the wording of the claims presently on file, which render it difficult, if not impossible, to determine the matter for which protection is sought, the present application fails to comply with the clarity and conciseness requirements of Article 6 PCT (see also Rule 6.1(a) PCT) to such an extent that a meaningful search is impossible. Consequently, the search has been carried out for those parts of the application which do appear to be clear (and concise), namely:

independent apparatus claim 1 and its dependent claims
independent method claim 35 and its dependent claims

The applicant's attention is drawn to the fact that claims, or parts of claims, relating to inventions in respect of which no international search report has been established need not be the subject of an international preliminary examination (Rule 66.1(e) PCT). The applicant is advised that the EPO policy when acting as an International Preliminary Examining Authority is normally not to carry out a preliminary examination on matter which has not been searched. This is the case irrespective of whether or not the claims are amended following receipt of the search report or during any Chapter II procedure.

INTERNATIONAL SEARCH REPORT	international application No. PCT/US 02/16044
Box I Observations where certain claims were found unsearchable (Continuation of item 1 of first sheet)	
This International Search Report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:	
1. <input type="checkbox"/> Claims Nos.: because they relate to subject matter not required to be searched by this Authority, namely:	
2. <input checked="" type="checkbox"/> Claims Nos.: 18-34, 44-50 because they relate to parts of the international application that do not comply with the prescriptive requirements to which or extent that no meaningful international search can be carried out, specifically: see FURTHER INFORMATION sheet PCT/ISA/210	
3. <input type="checkbox"/> Claims Nos.: because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).	
Box II Observations where unity of invention is lacking (Continuation of item 2 of first sheet)	
This International Searching Authority found multiple inventions in this international application, as follows:	
1. <input type="checkbox"/> As all required additional search fees were timely paid by the applicant, this International Search Report covers all searchable claims.	
2. <input type="checkbox"/> As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.	
3. <input type="checkbox"/> As only some of the required additional search fees were timely paid by the applicant, this International Search Report covers only those claims for which fees were paid, specifically claims Nos.:	
4. <input type="checkbox"/> No required additional search fees were timely paid by the applicant. Consequently, this International Search Report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:	
Remark on Protest	
<input type="checkbox"/> The additional search fees were accompanied by the applicant's protest. <input type="checkbox"/> No protest accompanied the payment of additional search fees.	

INTERNATIONAL SEARCH REPORT				International Application No.	
Information on patent family members				PCT/US 02/16044	
Patent document cited in search report	Publication date	Patent family member(s)	Publication date		
EP 0691754	A	10-01-1996	FI 943249 A	08-01-1996	
			EP 0691754 A2	10-01-1996	
			US 5654980 A	05-08-1997	
EP 0661831	A	05-07-1995	JP 2655068 B2	17-09-1997	
			JP 7202757 A	04-08-1995	
			AU 687471 B2	26-02-1998	
			AU 8179894 A	06-07-1995	
			CA 2139259 A1	01-07-1995	
			EP 0661831 A2	05-07-1995	
			KR 147012 B1	17-08-1998	
			US 5528624 A	18-06-1996	
EP 0690588	A	03-01-1996	GB 2291567 A	24-01-1996	
			EP 0690588 A2	03-01-1996	
			FI 953230 A	02-01-1996	
			JP 8056384 A	27-02-1996	
EP 0821495	A	28-01-1998	CA 2210582 A1	24-01-1998	
			CN 1175141 A	04-03-1998	
			EP 0821495 A2	28-01-1998	
			JP 10094041 A	10-04-1998	
			KR 256028 B1	01-05-2000	
			US 6188682 B1	13-02-2001	
US 5490165	A	06-02-1996	AU 685869 B2	29-01-1998	
			AU 8096394 A	22-05-1995	
			BR 9405888 A	26-12-1995	
			CA 2150932 A1	04-05-1995	
			EP 0676107 A1	11-10-1995	
			FI 953210 A	28-08-1995	
			IL 111432 A	10-03-1998	
			JP 2938573 B2	23-08-1999	
			JP 8508162 T	27-08-1996	
			RU 2138918 C1	27-09-1999	
			WO 9512262 A1	04-05-1995	
			ZA 9407641 A	18-05-1995	
US 5684793	A	04-11-1997	FI 932605 A	08-12-1994	
			AT 183610 T	15-09-1999	
			AU 680912 B2	14-08-1997	
			AU 6846694 A	03-01-1995	
			CN 1125032 A ,B	19-06-1996	
			DE 69420150 D1	23-09-1999	
			DE 69420150 T2	23-03-2000	
			EP 0739575 A1	30-10-1996	
			WO 9430025 A1	22-12-1994	
			JP 3162400 B2	25-04-2001	
			JP 9501547 T	10-02-1997	
			NO 954958 A	06-02-1996	

フロントページの続き

(81) 指定国 AP (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), EA (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OA (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, UZ, VN, YU, ZA, ZM, ZW

(74) 代理人 100091889

弁理士 藤野 育男

(74) 代理人 100101498

弁理士 越智 隆夫

(74) 代理人 100096688

弁理士 本宮 照久

(74) 代理人 100102808

弁理士 高梨 憲通

(74) 代理人 100104352

弁理士 朝日 伸光

(74) 代理人 100107401

弁理士 高橋 誠一郎

(74) 代理人 100106183

弁理士 吉澤 弘司

(74) 代理人 100120064

弁理士 松井 孝夫

(72) 発明者 ハイダリーバテニ, ゴーバッド

アメリカ合衆国 9 2 1 2 9 カリフォルニア, サンディエゴ, カミノ デル スエロ 1 3 8 8
6

(72) 発明者 プランケット, ロバート, トーマス

アメリカ合衆国 9 4 0 8 5 カリフォルニア, サニーヴェイル, サイプレス アヴェニュー 5
8 7

Fターム(参考) 5K022 EE02 EE14 EE31

5K059 CC03 CC04 DD31 EE02

【要約の続き】

イロット信号サーチならびにマルチパス受信および結合を含む複数の異なる機能モードの適応型再構成可能マルチモードレイクフィングおよびマルチモードプロセッサを形成する。

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第3区分
 【発行日】平成19年5月10日(2007.5.10)

【公表番号】特表2004-533176(P2004-533176A)
 【公表日】平成16年10月28日(2004.10.28)
 【年通号数】公開・登録公報2004-042
 【出願番号】特願2003-501086(P2003-501086)
 【国際特許分類】

H O 4 B 1/707 (2006.01)

H O 4 B 7/08 (2006.01)

H O 4 B 7/10 (2006.01)

【F I】

H O 4 J 13/00 D

H O 4 B 7/08 D

H O 4 B 7/10 A

【手続補正書】

【提出日】平成19年3月14日(2007.3.14)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

ネットワークインタフェースと、

該ネットワークインタフェースに接続された複数の適応マルチモードレイクフィングであって、少なくとも2つの異なる固定のアーキテクチャを有する第1の複数の異種計算素子から成り、該第1の複数の異種計算素子が該複数の適応マルチモードレイクフィングを形成するように構成可能であり、該第1の複数の異種計算素子が第1のモード信号に応答してパス受信用の第1の機能モードに構成可能であり、第2のモード信号に応答してサーチ用の第2の機能モードに構成可能であり、および第3のモード信号に応答して第3の機能モードに構成可能であるような複数の適応マルチモードレイクフィングと、

該複数の適応マルチモードレイクフィングに接続されたマルチモードプロセッサであって、該第1のモード信号に応答してパス受信用の該第1の機能モードに構成可能であり、該第2のモード信号に応答して、該サーチ用の第2の機能モードに構成可能であり、およびさらに該第3のモード信号に応答して第3の機能モードに構成可能であるようなマルチモードプロセッサと、
 を備えるマルチモードレイク受信機。

【請求項2】

捕捉モードの場合、前記複数の適応マルチモードレイクフィングのすべての適応マルチモードレイクフィングは前記サーチ用の第2の機能モードに構成され、前記マルチモードプロセッサは前記サーチ用の第2の機能モードに構成される、請求項1記載のマルチモードレイク受信機。

【請求項3】

トラヒックモードの場合、

前記複数の適応マルチモードレイクフィングの第1の部分集合の適応マルチモードレイクフィングは前記サーチ用の第2の機能モードに構成され、前記マルチモードプロセッサの第1の部分は前記サーチ用の第2の機能モードに構成され、

前記複数の適応マルチモードレイクフィングの第2の部分集合の適応マルチモードレイクフィングは前記パス受信用の第1の機能モードに構成され、前記マルチモードプロセッサの第2の部分は前記パス受信用の第1の機能モードに構成される、請求項1記載のマルチモードレイク受信機。

【請求項4】

パス受信用の第1の機能モードに構成される前記第2の部分集合の適応マルチモードレイクフィングは、前記サーチ用の第2の機能モードに構成されたときの前記第1の部分集合のマルチモードレイクフィングおよび前記マルチモードプロセッサの前記第1の部分によって決まるマルチパスの数に対応する、請求項3記載のマルチモードレイク受信機。

【請求項5】

前記サーチ用の第2の機能モードに構成される前記第1の部分集合の適応マルチモードレイクフィングおよび前記パス受信用の第1の機能モードに構成される第2の部分集合の適応マルチモードレイクフィングは、複数のチャネル依存パラメータから選択される少なくとも1つのチャネル依存パラメータに基づいて動的に決定され、前記複数のチャネル依存パラメータは、パイロット信号相対パワーレベル、識別されたマルチパスの数、識別された基地局の数、受信したトラヒックの信号対雑音比、および受信したトラックのエラーレートを含む、請求項3記載のマルチモードレイク受信機。

【請求項6】

アイドルモードの場合、

前記複数の適応マルチモードレイクフィングの第1の部分集合の適応マルチモードレイクフィングおよび前記マルチモードプロセッサの第1の部分は、前記サーチ用の第2の機能モードに構成され、

前記複数の適応マルチモードレイクフィングの第2の部分集合の適応マルチモードレイクフィングおよび前記マルチモードプロセッサの第2の部分は前記パス受信用の第1の機能モードに構成され、

前記複数の適応マルチモードレイクフィングの第3の部分集合の適応マルチモードレイクフィングおよび前記マルチモードプロセッサの第3の部分は、比較的低電力消費の第4の機能モードに構成される、請求項1記載のマルチモードレイク受信機。

【請求項7】

前記第1の複数の異種計算素子が、

第1の固定のアーキテクチャを有する第1の計算素子と、第2の固定のアーキテクチャを有する第2の計算素子とから成り、前記第1の固定のアーキテクチャは前記第2の固定のアーキテクチャと異なる、請求項1記載のマルチモードレイク受信機。

【請求項8】

前記複数の適応マルチモードレイクフィングが、

前記第1の複数の異種計算素子に接続された相互接続ネットワークをさらに備え、該相互接続ネットワークは、第1の構成情報に応答して前記第1の複数の異種計算素子を前記パス受信用の第1の機能モードに構成することが可能であり、該相互接続ネットワークは、第2の構成情報に応答して前記第1の複数の異種計算素子を前記サーチ用の第2の機能モードに再構成することが可能であり、および該相互接続ネットワークは、第3の構成情報に応答して前記第1の複数の異種計算素子を前記第3の機能モードに再構成することが可能である、請求項7記載のマルチモードレイク受信機。

【請求項9】

前記第1の複数の異種計算素子は、

擬似ランダムノイズシーケンスおよび直交コード発生器と、

該擬似ランダムノイズシーケンスおよび直交コード発生器に接続されたタイミング調整器と、

前記擬似ランダムノイズシーケンスおよび直交コード発生器に接続されたパイロット信号相関器と、

該パイロット信号相関器に接続された位相推定器と、

前記擬似ランダムノイズシーケンスおよび直交コード発生器ならびに前記タイミング調整器に接続されたチャネル相関器と、

該チャネル相関器に接続された位相調整器と、
をさらに備える、請求項 7 記載のマルチモードレイク受信機。

【請求項 10】

前記タイミング調整器からの第 1 の出力、前記パイロット信号相関器からの第 2 の出力、前記チャネル相関器からの第 3 の出力、および前記位相調整器からの第 4 の出力を含む複数の出力をさらに含み、該複数の出力がさらにマルチプレクサに接続され、該マルチプレクサは、前記第 1 の構成情報にตอบสนองして前記複数の出力から前記第 4 の出力を選択し、それによって前記パス受信用の第 1 の機能モードを提供することが可能であり、また、前記第 2 の構成情報にตอบสนองして前記複数の出力から前記第 1 の出力、前記第 2 の出力、および前記第 3 の出力を選択し、それによって前記サーチ用の第 2 の機能モードを提供することが可能である、請求項 9 記載のマルチモードレイク受信機。

【請求項 11】

前記第 1 の固定アーキテクチャおよび前記第 2 の固定アーキテクチャは、複数の特定のアーキテクチャから選択され、該複数の特定のアーキテクチャは、対応する機能、即ちメモリ、加算、乗算、複素乗算、減算、構成、再構成、制御、入力、出力、および現場でのプログラム可能性のうちの少なくとも 2 つの機能から成る請求項 7 記載のマルチモードレイク受信機。

【請求項 12】

前記マルチモードプロセッサは、

第 2 の複数の異種計算素子をさらに備え、該第 2 の第 1 の計算素子は第 1 の固定のアーキテクチャを有する第 1 の計算素子と、第 2 の固定のアーキテクチャを有する第 2 の計算素子とから成り、前記第 1 の固定のアーキテクチャは前記第 2 の固定のアーキテクチャと異なる、請求項 1 記載のマルチモードレイク受信機。

【請求項 13】

前記マルチモードプロセッサは、

前記第 2 の複数の異種計算素子に接続された相互接続ネットワークをさらに備え、該相互接続ネットワークは、前記第 1 の構成情報にตอบสนองして前記第 2 の複数の異種計算素子を前記パス受信用の第 1 の機能モードに構成することが可能であり、また、第 2 の構成情報にตอบสนองして前記第 2 の複数の異種計算素子を前記サーチ用の第 2 の機能モードに再構成することが可能であり、および、さらに第 2 の構成情報にตอบสนองして前記第 2 の複数の異種計算素子をサーチ用の第 2 の機能モードに再構成することが可能である、請求項 12 記載のマルチモードレイク受信機。

【請求項 14】

前記第 2 の複数の異種計算素子は、

マルチパス結合器と、

モードおよびパス割り振りプロセッサと、

をさらに備える、請求項 12 記載のマルチモードレイク受信機。

【請求項 15】

前記第 1 の固定アーキテクチャおよび前記第 2 の固定アーキテクチャは、複数の特定のアーキテクチャから選択され、該複数の特定のアーキテクチャは、対応する機能、即ち、メモリ、加算、乗算、複素乗算、減算、構成、再構成、制御、入力、出力、および現場でのプログラム可能性のうちの少なくとも 2 つの機能から成る、請求項 12 記載のマルチモードレイク受信機。

【請求項 16】

移動局内に組み入れられる請求項 1 記載のマルチモードレイク受信機。

【請求項 17】

基地局内に組み入れられる請求項 1 記載のマルチモードレイク受信機。

【請求項 18】

マルチモードレイク機能モードを含む直接拡散式スペクトラム拡散受信装置であって、複数の異種計算素子、これら複数の異種計算素子のうちの、第1の固定アーキテクチャを有し、前記第2の計算素子は第2の固定アーキテクチャを有する第1の計算素子、および該複数の異種計算素子のうちの該第1の固定のアーキテクチャとは異なる第2の固定アーキテクチャを有する第2の計算素子と、

該複数の異種計算素子に接続された相互接続ネットワークであって、第1の構成情報に 応答して前記複数の異種計算素子をマルチパス受信用の第1の機能モードに構成することが可能であり、また、第2の構成情報に 応答して前記複数の異種計算素子をサーチ用の第2の機能モードに再構成することが可能であり、およびさらに、該第1および第2の機能モードとは異なる第3の機能モードに 応答して前記複数の異種計算素子を第3の機能モードに再構成可能である該相互接続ネットワークと、

を備える、直接拡散式スペクトラム拡散受信装置。

【請求項19】

前記第1の固定アーキテクチャおよび前記第2の固定アーキテクチャは、複数の特定のアーキテクチャから選択され、該複数の特定のアーキテクチャは、対応する機能、即ちメモリ、加算、乗算、複素乗算、減算、構成、再構成、制御、入力、出力、および現場でのプログラム可能性のうちの少なくとも2つの機能から成る、請求項18記載の直接拡散式スペクトラム拡散受信装置。

【請求項20】

前記相互接続ネットワークは、前記複数の異種計算素子間でデータおよび制御情報を再構成可能なようにルーティングする、請求項18記載の直接拡散式スペクトラム拡散受信装置。

【請求項21】

前記複数の異種計算素子および前記相互接続ネットワークに接続されたコントローラをさらに備え、該コントローラは、前記複数の異種計算素子を前記マルチパス受信用の第1の機能モードに構成すること、前記複数の異種計算素子を前記サーチ用の第2の機能モードに再構成すること、および前記複数の異種計算素子を前記第3の機能モードに再構成することを指示しスケジューリングすることができる、請求項18記載の直接拡散式スペクトラム拡散受信装置。

【請求項22】

前記複数の異種計算素子および前記相互接続ネットワークに接続されたメモリをさらに備え、該メモリは、前記第1の構成情報、前記第2の構成情報、および前記第3の構成情報を格納することができる、請求項18記載の直接拡散式スペクトラム拡散受信装置。

【請求項23】

前記複数の異種計算素子および前記相互接続ネットワークは、複数の適応マルチモードレイクフィンガを形成して前記マルチパス受信用の第1の機能モードおよび前記サーチ用の第2の機能モードを提供するように構成されるとともに、前記複数の適応マルチモードレイクフィンガに動作可能に接続されたマルチモードプロセッサを形成するように構成され、

前記複数の適応マルチモードレイクフィンガの各適応マルチモードレイクフィンガは、前記第1の構成情報に 応答して前記マルチパス受信用の第1の機能モードに構成されることが可能であり、またさらに、前記第2の構成情報に 応答して前記サーチ用の第2の機能モードに構成されることが可能であり、

前記マルチモードプロセッサは、前記第1の構成情報に 応答して前記マルチパス受信用の第1の機能モードに構成され、またさらに、第2の構成情報に 応答して前記サーチ用の第2の機能モードに構成されることが可能である、請求項18記載の直接拡散式スペクトラム拡散受信装置。

【請求項24】

捕捉モードの場合、前記複数の適応マルチモードレイクフィンガのすべての適応マルチモードレイクフィンガは前記サーチ用の第2の機能モードに構成され、前記マルチモード

プロセッサは前記サーチ用の第2の機能モードに構成される、請求項23記載の直接拡散式スペクトラム拡散受信装置。

【請求項25】

トラヒックモードの場合、

前記複数の適応マルチモードレイクフィングの第1の部分集合の適応マルチモードレイクフィングおよび前記マルチモードプロセッサの第1の部分は前記サーチ用の第2の機能モードに構成され、

前記複数の適応マルチモードレイクフィングの第2の部分集合の適応マルチモードレイクフィングおよび前記マルチモードプロセッサの第2の部分は前記マルチパス受信用の第1の機能モードに構成される、請求項23記載の直接拡散式スペクトラム拡散受信装置。

【請求項26】

前記マルチパス受信用の第1の機能モードに構成される前記第2の部分集合の適応マルチモードレイクフィングは、前記サーチ用の第2の機能モードに構成されたときの前記第1の部分集合のマルチモードレイクフィングおよび前記マルチモードプロセッサの前記第1の部分によって決まるマルチパスの数に対応する、請求項25記載の直接拡散式スペクトラム拡散受信装置。

【請求項27】

前記サーチ用の機能モードに構成される前記第1の部分集合の適応マルチモードレイクフィングおよび前記マルチパス受信用の第1の機能モードに構成される第2の部分集合の適応マルチモードレイクフィングは、複数のチャネル依存パラメータから選択される少なくとも1つのチャネル依存パラメータに基づいて動的に決定され、前記複数のチャネル依存パラメータは、パイロット信号相対パワーレベル、識別されたマルチパスの数、識別された基地局の数、受信したトラヒックの信号対雑音比、および受信したトラックのエラーレートを含む、請求項25記載の直接拡散式スペクトラム拡散受信装置。

【請求項28】

アイドルモードの場合、

前記複数の適応マルチモードレイクフィングの第1の部分集合の適応マルチモードレイクフィングおよび前記マルチモードプロセッサの第1の部分は前記サーチ用の第2の機能モードに構成され、

前記複数の適応マルチモードレイクフィングの第2の部分集合の適応マルチモードレイクフィングおよび前記マルチモードプロセッサの第2の部分は前記マルチパス受信用の第1の機能モードに構成され、

前記複数の適応マルチモードレイクフィングの第3の部分集合の適応マルチモードレイクフィングおよび前記マルチモードプロセッサの第3の部分は、比較的低電力消費用の第4の機能モードに構成される、請求項23記載の直接拡散式スペクトラム拡散受信装置。

【請求項29】

前記複数の異種計算素子は、

擬似ランダムノイズシーケンスおよび直交コード発生器と、

該擬似ランダムノイズシーケンスおよび直交コード発生器に接続されたパイロット信号相関器と、

該パイロット信号相関器に接続された位相推定器と、

前記擬似ランダムノイズシーケンスおよび直交コード発生器に接続されたタイミング調整器と、

前記擬似ランダムノイズシーケンスおよび直交コード発生器ならびに前記タイミング調整器に接続されたチャネル相関器と、

該チャネル相関器に接続された位相調整器と、

をさらに備える、請求項18記載の直接拡散式スペクトラム拡散受信装置。

【請求項30】

前記複数の異種計算素子は、

マルチパス結合器と、

モードおよびパス割り振りプロセッサと、
をさらに備える、請求項 18 記載の直接拡散式スペクトラム拡散受信装置。

【請求項 31】

前記第 1 の固定アーキテクチャおよび前記第 2 の固定アーキテクチャは、複数の特定のアーキテクチャから選択され、該複数の特定のアーキテクチャは、対応する機能、即ちメモリ、加算、乗算、複素乗算、減算、構成、再構成、制御、入力、出力、および現場でのプログラム可能性のうちの少なくとも 2 つの機能から成る、請求項 18 記載の直接拡散式スペクトラム拡散受信装置。

【請求項 32】

前記第 3 の機能モードが、非レイク受信機能モードから選択されるものである、請求項 18 記載の直接拡散式スペクトラム拡散受信装置。

【請求項 33】

移動局内に組み入れられる請求項 18 記載の直接拡散式スペクトラム拡散受信装置。

【請求項 34】

基地局内に組み入れられる請求項 18 記載の直接拡散式スペクトラム拡散受信装置。

【請求項 35】

入力信号を受け取ること、

構成情報に応答して複数の異種計算素子を複数の適応マルチモードレイクフィンガを形成するように構成すること、および

第 1 の構成情報に応答して、該複数の適応マルチモードレイクフィンガをパス受信用の第 1 の機能モードに構成することであって、それにより前記入力信号のマルチパス受信を提供する、パス受信用の第 1 の機能モードに構成すること、

第 2 の構成情報に応答して、前記複数の適応マルチモードレイクフィンガをサーチ用の第 2 の機能モードに構成することであって、それにより前記入力信号からの複数のパイロット信号の決定を提供する、サーチ用の第 2 の機能モードに構成すること、

第 3 の構成情報に応答して、該複数の適応マルチモードレイクフィンガを該第 1 および第 2 の機能モードとは異なる第 3 の機能モードに構成すること
とを含む、適応レイク受信方法。

【請求項 36】

前記第 1 の構成情報に応答して、マルチモードプロセッサをマルチパス結合器として前記パス受信用の第 1 の機能モードに構成することであって、それにより前記入力信号の前記マルチパス受信から出力データを供給する、パス受信用の第 1 の機能モードに構成すること、

第 2 に構成情報に応答して、前記マルチモードプロセッサをサーチ用の第 2 の機能モードに構成することであって、それにより前記入力信号から決定された前記複数のパイロット信号から好ましいパイロット信号を選択する、サーチ用の第 2 の機能モードに構成すること、および

前記第 3 の構成情報に応答して、前記マルチモードプロセッサを前記第 3 の機能モードに構成すること、

とをさらに含む、請求項 35 記載の適応レイク受信方法。

【請求項 37】

捕捉モードにおいて、前記複数の適応マルチモードレイクフィンガのすべての適応マルチモードレイクフィンガおよび前記マルチモードプロセッサを前記サーチ用の第 2 の機能モードに構成することをさらに含む、請求項 36 記載の適応レイク受信方法。

【請求項 38】

トラヒックモードにおいて、前記複数の適応マルチモードレイクフィンガの第 1 の部分集合の適応マルチモードレイクフィンガおよび前記マルチモードプロセッサの第 1 の部分を前記サーチ用の第 2 の機能モードに構成すること、

前記トラヒックモードにおいて、前記複数の適応マルチモードレイクフィンガの第 2 の部分集合の適応マルチモードレイクフィンガおよび前記マルチモードプロセッサの第 2 の

部分を前記パス受信用の第1の機能モードに構成すること、
とをさらに含む、請求項36記載の適応レイク受信方法。

【請求項39】

パス受信用の第1の機能モードに構成される前記第2の部分集合の適応マルチモードレイクフィングは、前記サーチ用の第2の機能モードに構成されたときの前記第1の部分集合のマルチモードレイクフィングおよび前記マルチモードプロセッサの前記第1の部分によって決まるマルチパスの数に対応する、請求項38記載の適応レイク受信方法。

【請求項40】

前記サーチ用の第2の機能モードに構成される前記第1の部分集合の適応マルチモードレイクフィングおよび前記パス受信用の第1の機能モードに構成される前記第2の部分集合の適応マルチモードレイクフィングは、複数のチャネル依存パラメータから選択される少なくとも1つのチャネル依存パラメータに基づいて動的に決定され、前記複数のチャネル依存パラメータは、パイロット信号相対パワーレベル、識別されたマルチパスの数、識別された基地局の数、受信したトラヒックの信号対雑音比、および受信したトラックのエラーレートを含む、請求項38記載の適応レイク受信方法。

【請求項41】

アイドルモードにおいて、前記複数の適応マルチモードレイクフィングの第1の部分集合の適応マルチモードレイクフィングを前記サーチ用の第2の機能モードに構成するとともに、前記マルチモードプロセッサの第1の部分を前記サーチ用の第2の機能モードに構成し、

前記アイドルモードにおいて、前記複数の適応マルチモードレイクフィングの第2の部分集合の適応マルチモードレイクフィングを前記パス受信用の第1の機能モードに構成するとともに、前記マルチモードプロセッサの第2の部分を前記パス受信用の第1の機能モードに構成し、また、

前記アイドルモードにおいて、前記複数の適応マルチモードレイクフィングの第3の部分集合の適応マルチモードレイクフィングおよび前記マルチモードプロセッサの第3の部分を比較的低電力消費用の第4の機能モードに構成する、請求項36記載の適応レイク受信方法。

【請求項42】

移動局内で行われる請求項35記載の適応レイク受信方法。

【請求項43】

基地局内で行われる請求項35記載の適応レイク受信方法。

【請求項44】

第1の固定のアーキテクチャを有する第1の計算素子および該第1の固定のアーキテクチャとは異なる第2のアーキテクチャを有する第2の計算素子を含む複数の異種計算素子と、

該複数の異種計算素子に接続された相互接続ネットワークであって、前記複数の異種計算素子を、複数の適応マルチモードレイクフィングを形成して、複数のレイク機能モードを提供するとともに、該複数の適応マルチモードレイクフィングに動作可能に接続されたマルチモードプロセッサを形成するように構成することができ、さらに該複数の異種計算素子を構成して非レイク機能モードを提供することができる該相互接続ネットワークと、
を備える、直接拡散式スペクトラム拡散符号分割多重アクセス無線受信装置。

【請求項45】

前記複数の適応マルチモードレイクフィングの各適応マルチモードレイクフィングは、第1の構成情報に応答して前記複数のレイク機能モードのうちのマルチパス受信機能モードに構成されるとともに、またさらに、第2の構成情報に応答して前記複数のレイク機能モードのうちのサーチャーマ機能モードに構成されることが可能であり、

前記マルチモードプロセッサは、前記第1の構成情報に応答して前記マルチパス受信機能モードに構成され、またさらに、第2の構成情報に応答して前記サーチャーマ機能モードに構成されることが可能である、請求項44記載の直接拡散式スペクトラム拡散符号分割

多重アクセス無線受信装置。

【請求項 46】

捕捉モードの場合、前記複数の適応マルチモードレイクフィングのすべての適応マルチモードレイクフィングは前記サーチ機能モードに構成され、前記マルチモードプロセッサは前記サーチ機能モードに構成される、請求項 45 記載の直接拡散式スペクトラム拡散符号分割多重アクセス無線受信装置。

【請求項 47】

トラヒックモードの場合、

前記複数の適応マルチモードレイクフィングの第 1 の部分集合の適応マルチモードレイクフィングは前記サーチ機能モードに構成され、前記マルチモードプロセッサの第 1 の部分は前記サーチ機能モードに構成され、

前記複数の適応マルチモードレイクフィングの第 2 の部分集合の適応マルチモードレイクフィングは前記マルチパス受信機能モードに構成され、前記マルチモードプロセッサの第 2 の部分は前記マルチパス受信機能モードに構成される、請求項 45 記載の直接拡散式スペクトラム拡散符号分割多重アクセス無線受信装置。

【請求項 48】

前記サーチ機能モードに構成される前記第 1 の部分集合の適応マルチモードレイクフィングおよび前記マルチパス受信機能モードに構成される第 2 の部分集合の適応マルチモードレイクフィングは、複数のチャネル依存パラメータから選択される少なくとも 1 つのチャネル依存パラメータに基づいて動的に決定され、前記複数のチャネル依存パラメータは、パイロット信号相対パワーレベル、識別されたマルチパスの数、識別された基地局の数、受信したトラヒックの信号対雑音比、および受信したトラックのエラーレートを含む、請求項 47 記載の直接拡散式スペクトラム拡散符号分割多重アクセス無線受信装置。

【請求項 49】

アイドルモードの場合、

前記複数の適応マルチモードレイクフィングの第 1 の部分集合の適応マルチモードレイクフィングおよび前記マルチモードプロセッサの第 1 の部分は前記サーチ機能モードに構成され、

前記複数の適応マルチモードレイクフィングの第 2 の部分集合の適応マルチモードレイクフィングおよび前記マルチモードプロセッサの第 2 の部分は前記パス受信機能モードに構成され、

前記複数の適応マルチモードレイクフィングの第 3 の部分集合の適応マルチモードレイクフィングおよび前記マルチモードプロセッサの第 3 の部分は、比較的低電力消費に構成される、請求項 45 記載の直接拡散式スペクトラム拡散符号分割多重アクセス無線受信装置。

【請求項 50】

ネットワークインタフェースと、

該ネットワークインタフェースに接続された複数の適応マルチモードレイクフィングであって、該複数の適応マルチモードレイクフィングの各適応マルチモードレイクフィングは、複数の異種計算素子から成り、第 1 のモード信号に応答してパス受信用の第 1 の機能モードに構成され、また第 2 のモード信号に応答してサーチ用の第 2 の機能モードに構成され、およびさらに第 3 のモード信号に応答して第 3 の、非レイク機能モードに構成されることが可能な該複数の適応マルチモードレイクフィングと、

該複数の適応マルチモードレイクフィングに動作可能に接続され、複数の異種計算素子から成るマルチモードプロセッサであって、該複数の異種計算素子が、該第 1 のモード信号に応答してパス受信用の該第 1 の機能モードに構成され、該第 2 のモード信号に応答して該サーチ用の第 2 の機能モードに構成され、およびさらに該第 3 のモード信号に応答して該第 3 の、非レイク機能モードに構成されることが可能となっているマルチモードプロセッサと、を備え、

捕捉モードの場合、前記複数の適応マルチモードレイクフィングのすべての適応マルチ

モードレイクフィングは前記サーチ用の第2の機能モードに構成され、前記マルチモードプロセッサは前記サーチ用の第2の機能モードに構成され、

トラヒックモードの場合、前記複数の適応マルチモードレイクフィングの第1の部分集合の適応マルチモードレイクフィングはおよび前記マルチモードプロセッサの第1の部分は前記用の第2の機能モードに構成され、前記複数の適応マルチモードレイクフィングの第2の部分集合の適応マルチモードレイクフィングおよび前記マルチモードプロセッサの第2の部分は前記パス受信用の第1の機能モードに構成され、

前記サーチ用の第2の機能モードに構成される前記第1の部分集合の適応マルチモードレイクフィングおよび前記パス受信用の第1の機能モードに構成される第2の部分集合の適応マルチモードレイクフィングは、複数のチャネル依存パラメータから選択される少なくとも1つのチャネル依存パラメータに基づいて動的に決定され、前記複数のチャネル依存パラメータはさらに、パイロット信号相対パワーレベル、識別されたマルチパスの数、識別された基地局の数、受信したトラヒックの信号対雑音比、および受信したトラックのエラーレートを含む、マルチモードレイク受信機。